



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 41 11 046 A 1**

⑤1 Int. Cl.⁵:
H 01 L 21/336

②1 Aktenzeichen: P 41 11 046.3
②2 Anmeldetag: 5. 4. 91
④3 Offenlegungstag: 10. 10. 91

DE 41 11 046 A 1

③0 Unionspriorität: ③2 ③3 ③1
06.04.90 JP P 2-90095

⑦1 Anmelder:
Nissan Motor Co., Ltd., Yokohama, Kanagawa, JP

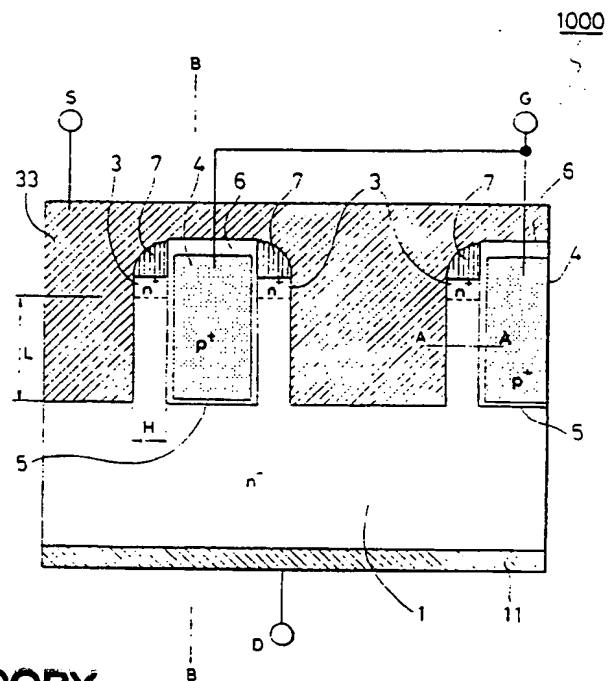
⑦4 Vertreter:
ter Meer, N., Dipl.-Chem. Dr.rer.nat.; Müller, F.,
Dipl.-Ing., 8000 München; Steinmeister, H.,
Dipl.-Ing.; Wiebusch, M., 4800 Bielefeld; Urner, P.,
Dipl.-Phys. Ing.(grad.), Pat.-Anwälte, 8000 München

⑦2 Erfinder:
Murakami, Yoshinori, Yokosuka, Kanagawa, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 MOS-Einrichtung mit einer als Kanal arbeitenden Anreicherungsschicht

⑤7 Eine Halbleitereinrichtung nach der Erfindung enthält einen Drainbereich (1), einen Sourcebereich (3) innerhalb des Drainbereichs (1) und eine isolierte Gateelektrode (4). Ferner ist ein Kanalbereich in einem Teil des Drainbereichs (1) vorhanden, der zwischen der Gateelektrode (4) und dem Metall (33) einer Sourceelektrode liegt. Eine Verarmung des Kanalbereichs wird sowohl aufgrund des Unterschieds der Arbeitsfunktionen des Materials für die Gateelektrode (4) und desjenigen für den Kanalbereich als auch aufgrund des Schottky-Übergangs erhalten, der zwischen dem Metall (33) und dem Drainbereich (1) erhalten wird, wenn wenigstens das Potential an der Gateelektrode (4) gleich demjenigen an der Sourceelektrode ist. Ferner wird ein Verhältnis von Kanalbereichslänge (L) zu Kanalbereichsdicke (H) auf einen solchen Wert eingestellt, daß selbst dann, wenn eine Spannung an der Drainelektrode (11) auf eine gewünschte Durchbruchsspannung erhöht wird, der Kanalbereich nicht in den leitenden Zustand überführt wird.



BEST AVAILABLE COPY

DE 41 11 046 A 1

Die Erfindung bezieht sich allgemein auf eine MOS (Metal Oxid Semiconductor)-Einrichtung, die im Normalzustand ausgeschaltet ist (normally off-type MOS). Genauer gesagt ist die Erfindung auf eine MOS-Einrichtung mit niedrigem Einschalt- bzw. Durchlaßwiderstand gerichtet, die einen kurzen Kanal in ihrer Tiefenrichtung aufweist.

Es wurden bereits mehrere MOS-Einrichtungen im Bereich der Halbleitertechnologie beschrieben, beispielsweise in "Modern Power Devices" von B. J. Baliga, herausgegeben von J. Wiley & Sons Inc. New York, Seite 236.

Die Fig. 1 zeigt einen Querschnitt durch eine konventionelle DMOS Halbleiterstruktur, die in der obigen Publikation beschrieben worden ist. Bei der in Fig. 1 gezeigten DMOS-Halbleiterstruktur kennzeichnen das Bezugszeichen 1 einen Drainbereich vom n-Typ, das Bezugszeichen 11 eine Drainelektrode, das Bezugszeichen 2 einen Basisbereich von p-Typ, das Bezugszeichen 22 einen Kontaktbereich vom p-Typ für den Basisbereich, das Bezugszeichen 3 einen Sourcebereich vom n-Typ, das Bezugszeichen 33 eine Sourceelektrode, das Bezugszeichen 4 eine Gateelektrode, das Bezugszeichen 5 einen Gateisolationsfilm, das Bezugszeichen 6 einen Zwischenschicht-Isolationsfilm, das Symbol "C" einen Kanal und das Symbol "L" eine Länge dieses Kanals. Es sei darauf hingewiesen, daß der Drainbereich 1 in ohmschem Kontakt mit der Drainelektrode 11 steht.

Die Struktur eines gewöhnlichen MOSFETs vom Lateraltyp ist so ausgebildet, daß mehrere Struktureinheiten, wie sie in Fig. 1 gezeigt sind, parallel zueinander in einer Oberfläche desselben Halbleiterchips liegen.

Nachfolgend wird der Betrieb des konventionellen MOSFETs nach Fig. 1 näher beschrieben.

Hierbei soll die Drainelektrode 11 mit einem positiven Potential vorgespannt sein, während die Sourceelektrode 33 geerdet ist.

Wenn das Potential der Gateelektrode gleich demjenigen der Sourceelektrode 33 ist, also beispielsweise Erdpotential, so fließt kein Strom zwischen dem Sourcebereich 3 und dem Drainbereich 1, da der Weg zwischen diesen Bereichen 1 und 3 elektrisch unterbrochen ist, und zwar infolge der Existenz des Basisbereichs 2 vom p-Typ. Wird ein vorbestimmtes positives Potential an die Gateelektrode 4 gelegt, so bildet sich eine Inversionsschicht an der Oberfläche des Gateisolationsfilm 5 benachbart zum p-Typ Basisbereich 2. Diese Inversionsschicht arbeitet als Kanal "C", so daß durch sie der Hauptstrom hindurchfließen kann, da der Sourcebereich elektrisch mit dem Drainbereich verbunden ist.

Es ist allgemein bekannt, daß ein sogenannter "Einschalt- bzw. Durchlaßwiderstand", also ein Widerstand eines Halbleiterelements per se so niedrig wie möglich sein sollte, wenn sich das Halbleiterelement im Einschaltzustand befindet. Bei der oben beschriebenen Struktur der konventionellen MOS-Einrichtung liefert ein "Kanalwiderstand" einen Hauptbeitrag zum Einschalt- bzw. Durchlaßwiderstand, wobei der Kanalwiderstand dann zutage tritt, wenn ein Strom durch die Inversionsschicht hindurchfließt, die als Kanal arbeitet. Je kürzer die Kanallänge "L" ist, je kleiner wird der Kanalwiderstand. Um so kleiner wird dann auch die Abmessung der Struktureinheit in Fig. 1. Im Ergebnis läßt sich somit die Stromkapazität pro Einheitsbereich erhöhen. Es gibt allerdings eine Grenze. Ist die Kanallänge "L" zu gering, so verringert sich auch die Span-

nungsfestigkeit bzw. Durchbruchsspannung dieser Einrichtung. Die Kanallänge kann daher nur auf einen erlaubten Wert verkürzt werden, der durch die Durchbruchsspannung und den Schwellenwert bestimmt ist.

Es tritt allerdings noch ein anderes Problem in dieser MOS-Struktur auf. So wird durch den Drainbereich 1, den Basisbereich 2 und den Sourcebereich 3 ein npn Bipolartransistor gebildet, der als Streueinrichtung arbeitet. Wenn eine Drainspannung mit hoher Änderung an diese Einrichtung angelegt wird, so kann der Streutransistor in den Einschaltzustand überführt werden bzw. arbeiten, was dazu führt, daß die MOS-Einrichtung zerstört wird.

Eine andere typische MOS-Struktur, die auch als "UMOS-Struktur" bezeichnet wird, ist beispielsweise in der offengelegten japanischen Patentpublikation Nr. 58-63 130 beschrieben.

Bei dieser bekannten UMOS-Struktur ist der Kanal in Tiefenrichtung (Vertikalrichtung) der Struktur ausgebildet, um auf diese Weise die Dichte der Struktureinheit zu vergrößern. Genauer gesagt liegt das Isolationsgate innerhalb einer Ausnehmung, die ausgehend von der Oberfläche des Halbleitersubstrats vertikal in das Halbleitersubstrat eingebracht worden ist. Die Ausnehmung weist eine U-förmige Gestalt auf. Dabei liegt der Kanal an den Seitenwänden dieser U-förmigen Ausnehmung.

Die Fig. 2 zeigt einen Querschnitt durch die oben beschriebene UMOS-Struktur. Dabei sind dieselben Elemente wie in Fig. 1 mit denselben Bezugszeichen versehen.

Da gemäß der in Fig. 2 gezeigten Struktur der Kanal in Vertikalrichtung der UMOS-Einrichtung ausgebildet ist, läßt sich die Abmessung der UMOS-Struktur beträchtlich reduzieren, auch wenn die Kanallänge dieselbe ist, wie bei der in Fig. 1 gezeigten MOS-Einrichtung. Im Ergebnis kann zwar der Einschalt- bzw. Durchlaßwiderstand der UMOS-Struktur verringert werden. Jedoch treten immer noch dieselben Probleme wie bei der zuerst erwähnten MOS-Struktur auf, nämlich die Probleme hinsichtlich der Durchbruchsspannung und des Streutransistors.

Als MOS-Einrichtung mit kurzer Kanallänge ist bereits ein elektrostatischer Induktionstransistor (SIT) allgemein bekannt, wozu auf Seite 182 der obengenannten Publikation "Modern Power Devices" verwiesen wird. Hierbei werden als Gatestruktur sowohl ein Übergangsgate als auch ein Isolationsgate vorgeschlagen.

Bei einem elektrostatischen Induktionstransistor wird kein Dotierungsbereich vom entgegengesetzten Leitungstyp als Kanalstruktur verwendet, so daß keine Streueinrichtung gebildet wird und der Einschaltwiderstand niedrig ist, da der Hauptstrom nicht durch einen schmalen Bereich hindurchfließen muß, der eine Inversionsschicht darstellt. Andererseits kann eine herkömmliche vertikale MOSFET-Struktur, die keine Gatespannung empfängt, den Hauptstrom blockieren, bis die Drainspannung auf die Durchbruchsspannung angestiegen ist. Dagegen muß beim elektrostatischen Induktionstransistor eine Gatespannung an die Gateelektrode angelegt werden, deren Polarität entgegengesetzt zu der an der Drainelektrode ist, um den Majoritäts- bzw. Hauptstromfluß abzuschneiden. Selbst wenn eine derartige Struktur zum Abschneiden des Hauptstromflusses bei geerdeter Gateelektrode realisiert wird, wird der Hauptstromfluß zu fließen beginnen, und zwar in Übereinstimmung mit einem Anstieg der Drainspannung, da der elektrostatische Induktionstransistor an sich eine Triodencharakteristik aufweist, wodurch die Einrich-

tung schwierig zu steuern ist.

Wie zuvor im einzelnen beschrieben sind den konventionellen DMOS- und UMOS-Einrichtungen bestimmte Nachteile eigen. Zum einen gibt es eine Begrenzung hinsichtlich der Verkürzung der Kanallänge aufgrund der Durchbruchsspannung und des Schwellenwerts. Es ist somit sehr schwierig, den Kanalwiderstand zu verringern, der im wesentlichen den Einschalt- bzw. Durchlaßwiderstand (ON-resistance) bildet. Andererseits besteht das Risiko, daß diese Einrichtungen per se zerstört bzw. außer Betrieb gesetzt werden, und zwar aufgrund der Existenz inherenter Stromtransistoren.

Um weiterhin den Hauptstromfluß im elektrostatischen Induktionstransistor unterbrechen zu können, muß eine Spannung an die Gateelektrode angelegt werden, deren Polarität entgegengesetzt zu der an der Drainelektrode ist. Da der elektrostatische Induktionstransistor (static induction transistor) eine Diodencharakteristik aufweist, kann der Hauptstrom in Antwort auf eine Vergrößerung der Drainspannung zu fließen beginnen. Es ist daher schwierig, den statischen Induktionswandler einwandfrei zu handhaben.

Der Erfindung liegt die Aufgabe zugrunde, eine Halbleitereinrichtung zu schaffen, beispielsweise eine MOS-Einrichtung, die einen niedrigeren Einschalt- bzw. Durchlaßwiderstand (ON-resistance) und dieselbe Stromabschaltcharakteristik wie eine konventionelle MOS-Stromversorgungseinrichtung aufweist, ungeachtet der kürzeren Kanallänge.

Die Lösung der gestellten Aufgabe ist im kennzeichnenden Teil des Patentanspruchs 1 angegeben. Vorteilhafte Ausgestaltungen der Erfindung sind den Unteransprüchen zu entnehmen.

In Übereinstimmung mit der Erfindung zeichnet sich eine Halbleitereinrichtung aus durch:

- einen Drainbereich aus einem halbleitenden Substrat eines ersten Leitfähigkeitstyps, der eine erste und eine zweite Hauptoberfläche aufweist,
- einen Sourcebereich, der durch einen Dotierungsbereich vom ersten Leitfähigkeitstyp innerhalb des Drainbereichs gebildet ist und in Kontakt mit der ersten Hauptoberfläche des Drainbereichs steht,
- eine von einem Isolationsfilm umgebenen Gateelektrode innerhalb einer ersten und U-förmig ausgebildeten Ausnehmung, die sich ausgehend von der ersten Hauptoberfläche des Drainbereichs ins Innere des Drainbereichs erstreckt und in Kontakt mit einer Seite des Sourcebereichs steht,
- eine zweite Ausnehmung, die sich ausgehend von der ersten Hauptoberfläche ins Innere des Drainbereichs erstreckt und so positioniert ist, daß sie in Kontakt mit der anderen Seite des Sourcebereichs steht, wobei ein als Sourceelektrode dienendes Metall in die zweite Ausnehmung eingebracht ist, um einen Schottky-Übergang mit dem Drainbereich zu bilden,
- eine Drainelektrode, die elektrisch mit der zweiten Hauptoberfläche des Drainbereichs verbunden ist, und
- einen Kanalbereich in einem Teil des Drainbereichs, der zwischen der Gateelektrode und dem Metall der Sourceelektrode liegt, wobei eine Verarmung des Kanalbereichs sowohl aufgrund des Unterschieds der Arbeitsfunktionen des Materials für die Gateelektrode und desjenigen für den Kanalbereich als auch aufgrund des Schottky-Über-

gangs erhalten wird, wenn wenigstens das Potential an der Gateelektrode gleich demjenigen an der Sourceelektrode ist, und wobei ferner ein Verhältnis von Kanalbereichslänge "L" zu Kanalbereichsdicke "H" auf einen solchen Wert eingestellt ist, daß selbst dann, wenn eine Spannung an der Drainelektrode auf eine gewünschte Durchbruchsspannung (withstanding voltage) erhöht wird, der Kanalbereich nicht in den leitenden Zustand überführt wird.

Die Zeichnung stellt Ausführungsbeispiele der Erfindung dar. Es zeigt

Fig. 1 einen Querschnitt durch einen konventionellen MOSFET vom Lateraltyp,

Fig. 2 einen Querschnitt durch einen konventionellen UMOSFET,

Fig. 3 einen Querschnitt durch eine erste Halbleitereinrichtung nach einem ersten Ausführungsbeispiel der Erfindung,

Fig. 4A bis 4D Banddiagramme des Kanalbereichs der ersten Halbleitereinrichtung gemäß Fig. 3 sowie konventionelle Banddiagramme,

Fig. 5 eine Strom-Spannungs-Charakteristik der ersten Halbleitereinrichtung,

Fig. 6A bis 6C Banddiagramme der Kanalstruktur der ersten Halbleitereinrichtung,

Fig. 7 einen Querschnitt durch eine Modifikation der ersten Halbleitereinrichtung,

Fig. 8A bis 8F verschiedene Schritte zur Herstellung der ersten Halbleitereinrichtung,

Fig. 9 einen Querschnitt durch eine zweite Halbleitereinrichtung nach einem zweiten Ausführungsbeispiel der Erfindung,

Fig. 10A bis 10B Querschnitte durch eine dritte Halbleitereinrichtung nach einem dritten Ausführungsbeispiel der Erfindung,

Fig. 10C und 10D Banddiagramme der dritten Halbleitereinrichtung,

Fig. 11A einen Querschnitt durch eine vierte Halbleitereinrichtung nach einem vierten Ausführungsbeispiel der Erfindung,

Fig. 11B einen Querschnitt durch die vierte Halbleitereinrichtung entlang der Linie A-A in Fig. 11A,

Fig. 11C und 11D einen Querschnitt durch andere Bereiche der vierten Halbleitereinrichtung und

Fig. 12 einen Querschnitt durch eine fünfte Halbleitereinrichtung nach einem fünften Ausführungsbeispiel der Erfindung.

Grundgedanken

Die vorliegende Erfindung ist auf eine neue MOS (Metal Oxide Semiconductor)-Einrichtung gerichtet, bei der als Kanal eine Anreicherungsschicht verwendet wird, deren spezifischer Widerstand niedriger ist als der einer Inversionsschicht, wie sie bei konventionellen MOSFET vorliegt.

In Übereinstimmung mit einer ersten Grundidee der Erfindung zur Schaffung einer Halbleitereinrichtung, beispielsweise mit UMOS-Struktur, wird ein Gateelektrodenmaterial ausgewählt, das eine solche Arbeitsfunktion aufweist, daß ein Drainbereich, dem eine isolierte Gateelektrode benachbart ist, verarmt, auch wenn die isolierte Gateelektrode geerdet ist. Ein Sourcebereich liegt benachbart zum U-förmig ausgebildeten, isolierten Gate, während eine andere U-förmige Ausnehmung benachbart zum Sourcebereich und in der Nähe des U-förmigen, isolierten Gates positioniert ist. Innerhalb dieser

Ausnehmung befindet sich ein bestimmtes Metall, so daß eine Sourceelektrode erhalten wird. Das Metall und der Drainbereich benachbart zu diesem Metall bilden einen Schottky-Übergang, so daß der Drainbereich in der Nähe dieses Übergangs verarmt. Der Kanalbereich wird durch denjenigen Teil des Drainbereichs gebildet, der zwischen der isolierten Gateelektrode und dem Sourceelektrodenbereich liegt, also zwischen der isolierten Gateelektrode und dem Sourceelektrodenmetall. Somit verarmt auch der Kanalbereich. Auf diese Weise wird eine Halbleitereinrichtung erhalten, bei der niemals ein Durchgriff bzw. Durchschlag entsteht. Darüber hinaus wird auch das Verhältnis einer Kanallänge "L" zu einer Kanaldicke "H" auf einen solchen Wert eingestellt, daß auch dann der Kanal nicht geöffnet wird, wenn die Drainspannung auf eine gewünschte höhere Durchbruchsspannung (withstanding voltage) vergrößert wird. Eine Leitungsschicht mit einem elektrischen Widerstand niedriger als der einer Inversionsschicht wird um eine isolierte Gateelektrode herum gebildet. Es sei daraufhingewiesen, daß die Länge "L" des Kanalbereichs gleich einer Länge ist, gemessen von einem Endteil des Sourcebereichs an dessen Drainseite bis zu einem Endteil des Sourcemetalls an der Drainseite, während die Dicke "H" des Kanalbereichs (bzw. die Breite) gleich einem Intervall zwischen einer Oberfläche des Gate-Isolationsfilms und einer Oberfläche des Sourcemetalls ist (siehe Fig. 3 bis 7).

In Übereinstimmung mit einer zweiten Grundidee weist eine Halbleitereinrichtung eine solche Struktur auf, daß ein Bereich mit entgegengesetztem Leitfähigkeitstyp bezüglich des Leitfähigkeitstyps des Drainbereichs entweder in einem Teil oder im gesamten Bereich einer Grenzfläche (Oberfläche) zwischen dem Sourceelektrodenmetall und dem Drainbereich vorhanden ist, und zwar zusätzlich zur oben beschriebenen Basisstruktur der ersten Halbleitereinrichtung (siehe Fig. 9), wobei der genannte Bereich vom entgegengesetzten Leitungstyp nicht gegenüber der isolierten Gateelektrode positioniert ist. Dieser Bereich liegt darüber hinaus im Drainbereich. Bei diesem zweiten Ausführungsbeispiel wird ein Leckstrom vom Schottky-Übergang reduziert, wenn der Stromfluß des Hauptstroms unterbrochen wird.

Gemäß einer dritten Grundidee der vorliegenden Erfindung weist eine Halbleitereinrichtung eine solche Struktur auf, daß ein Teil des Sourceelektrodenmetalls in Kontakt mit einer Oberfläche des Isolationsfilms steht, der die Gateelektrode abdeckt. Dieses Merkmal ist zusätzlich bei der erwähnten ersten Basisstruktur vorhanden (siehe Fig. 10). Beim dritten Aufbau läßt sich daher die Verunreinigungs- bzw. Dotierungsdichte des Kanalbereichs auf einen Wert einstellen, der vier Mal größer ist als der des Kanalbereichs der in Fig. 3 gezeigten Struktur unter der Bedingung, daß die Dicken "H" beider Kanäle (Fig. 3 und 10) einander gleich sind. Der sich ergebende Widerstand bzw. spezifische Widerstand der Anreicherungs-schicht läßt sich dadurch weiter herabsetzen.

Entsprechend einer vierten Grundidee der Erfindung weist eine Halbleitereinrichtung zusätzlich bei der zuerst erwähnten Basisstruktur das Merkmal auf (siehe Fig. 11), daß ein Verunreinigungs- bzw. Dotierungsbereich mit entgegengesetztem Leitfähigkeitstyp bezüglich des Leitfähigkeitstyps des Drainbereichs, und der elektrisch mit einem Sourceelektrodenmetall verbunden ist, in einem Teil einer Grenzfläche zwischen dem Isolationsfilm zur Abdeckung der Gateelektrode und

der Drainelektrode vorhanden ist. Der Verunreinigungsbereich vom entgegengesetzten Leitfähigkeitstyp liegt z. B. zwischen dem Gateisolationsfilm, dem Sourceelektrodenmetall und auf dem Drainbereich. Da sich Löcher, die sich an der Oberfläche des Isolationsgates angesammelt haben, in den oben beschriebenen Verunreinigungsbereich hineingesaugt werden, entsteht keine Inversionsschicht an der Grenzfläche des Gateisolationsfilms, so daß praktisch keine Gefahr besteht, daß sich das Potential dieser Grenzfläche des Gateisolationsfilms vergrößert.

Schließlich weist nach einer fünften Grundidee der Erfindung eine Halbleitereinrichtung eine Struktur auf, bei der zusätzlich zur oben beschriebenen Basisstruktur ein Halbleiterbereich von entgegengesetztem Leitfähigkeitstyp bezüglich des Leitfähigkeitstyps des Drainbereichs wenigstens in einem Teil zwischen der Drainelektrode und dem Drainbereich (siehe Fig. 12) vorhanden ist. Bei der fünften Struktur wird der Vorteil erhalten, daß ein Hochgeschwindigkeits-Schaltbetrieb möglich ist, da sich injizierte Ladungsträger nicht in der Nähe der Elektrode ansammeln.

Struktur der ersten Halbleitereinrichtung

In der Fig. 3 ist ein Querschnitt einer Halbleitereinrichtung (MOS-Einrichtung) 1000 nach einem ersten bevorzugten Ausführungsbeispiel der Erfindung dargestellt. Es sei darauf hingewiesen, daß diese erste Halbleitereinrichtung 1000 aus Silizium hergestellt ist und auf der ersten Grundidee beruht.

Bei der ersten Halbleitereinrichtung nach Fig. 3 bezeichnen das Bezugszeichen 1 einen Drainbereich vom n-Typ, das Bezugszeichen 11 eine Drainelektrode, das Bezugszeichen 3 einen Sourcebereich vom n-Typ, das Bezugszeichen 33 ein Metall, das als Sourceelektrode dient (nachfolgend als "Sourceelektrodenmetall" bezeichnet), das Bezugszeichen 4 eine Polysilizium-Gateelektrode vom p-Typ, das Bezugszeichen 5 einen Gateisolationsfilm, das Bezugszeichen 6 einen Zwischenschicht-Isolationsfilm und das Bezugszeichen 7 eine Seitenwand zur Bildung eines Kanalbereichs. Es sei darauf hingewiesen, daß das Symbol "L" eine "Kanallänge" und das Symbol "H" eine "Kanalbreite" bzw. "Kanaldicke" bezeichnen, die sehr wichtige Größen bei der Halbleitereinrichtung nach der Erfindung darstellen. Aus Gründen der Bequemlichkeit werden sowohl die Gateelektrode 4 als auch der Gateisolationsfilm 5 als "isoliertes Gate" bezeichnet.

Wie anhand der Fig. 3 zu erkennen ist, ist das Sourceelektrodenmetall 33 in Ausnehmungen eingebettet, die vertikal im Substrat der ersten Halbleitereinrichtung 1000 verlaufen, derart, daß dieses Sourcemetall 33 parallel zum Isolationsgate (4 und 5) verläuft. Auf diese Weise wird erreicht, daß der Kanalbereich verarmt, selbst wenn die Gateelektrode 4 unter Erdpotential steht, und zwar sowohl infolge des Schottky-Sperrschichteffekts zwischen dem Kanalbereich und dem Sourcemetall als auch aufgrund der unterschiedlichen Arbeitsfunktion des Materials der Gateelektrode 4 und des Materials des Drainbereichs 1. Eigentlich ist keine klare Unterscheidung vorhanden hinsichtlich der Grenze zwischen dem Drainbereich und dem Kanalbereich, der einem Teil des Drainbereichs entspricht. Der Kanalbereich kann daher so definiert werden, daß er einem Bereich entspricht, der eine Unterbrechung eines Stroms bewirkt, der durch einen Source-zu-Drain-Weg hindurchfließt, welcher zwischen dem Isolationsgate und dem

Sourcemetall 33 innerhalb des Drainbereichs liegt.

Wie noch im einzelnen erläutert wird, wird ein Verhältnis der Länge "L" des Kanalbereichs zur Dicke "H" des Kanalbereichs so gewählt, daß beispielsweise wenigstens annähernd die Beziehung $L/H > 2$ gilt, so daß der Kanalbereich niemals öffnet, auch wenn die Drainspannung auf eine gewünschte höhere Durchbruchspannung (withstanding voltage) ansteigt.

Arbeitsprinzip der ersten Halbleitereinrichtung

Zu Vergleichszwecken sind in den Fig. 4A und 4B Banddiagramme des Abschnitts entlang der Linie A-A der in Fig. 1 gezeigten konventionellen Halbleitereinrichtung dargestellt. Die Fig. 4A und 4B repräsentieren somit Bandstrukturen des Kanalbereichs im konventionellen n-Kanal MOSFET. Genauer gesagt, zeigt die Fig. 4A einen sogenannten cut-off-Zustand hinsichtlich der Gatespannung, also einen Unterbrechungszustand, wobei die Gatespannung $V_G = 0$ Volt beträgt. Dagegen repräsentiert Fig. 4B den Leitungszustand, bei dem eine vorbestimmte, positive Spannung an das Isolationsgate angelegt wird. Es sei darauf hingewiesen, daß die Gateelektrode aus Polysilizium vom p⁺-Typ hergestellt ist, um die Verhältnisse leichter mit der Erfindung vergleichen zu können.

Beim sogenannten cut-off-Zustand (Unterbrechungszustand) gemäß Fig. 4A ist das Potential an der Grenzfläche zwischen dem p⁺-Typ Basisbereich und dem Isolationsfilm niedrig, so daß keine Elektronen hindurchtreten können. Im Gegensatz dazu wird im Leitungszustand nach Fig. 4B eine vorgewählte, positive Spannung an die Gateelektrode angelegt, so daß sich das Potential an der Grenzfläche erhöht. Es kann sich somit die Inversionsschicht herausbilden.

Die Fig. 4C und 4D illustrieren Bandstrukturdiagramme des Abschnitts entlang der Linie A-A der in Fig. 3 gezeigten ersten Halbleitereinrichtung. Mit anderen Worten repräsentiert Fig. 4C eine Bandstruktur der ersten Halbleitereinrichtung im Ausschaltzustand (cut-off-Zustand) vergleichbar mit Fig. 4A, während die Fig. 4D eine andere Bandstruktur der ersten Halbleitereinrichtung im Leitungszustand (Einschaltzustand) repräsentiert, vergleichbar mit Fig. 4B. Dabei definiert die Linie A-A einen Bereich, der hinreichend nicht nur vom Sourcebereich sondern auch vom Drainbereich getrennt ist. Dieser Bereich wird daher nur durch das Isolationsgate und den Schottky-Übergang beeinflusst. Darüber hinaus ist auch der Kanalbereich vom n⁻-Typ, was einen Unterschied zum konventionellen MOSFET darstellt, wobei auch die Verunreinigungs- bzw. Dotierungsdichte hinreichend klein ist.

Im Ausschaltzustand gemäß Fig. 4C wird das Potential des Kanalbereichs herabgesetzt, und zwar durch den Schottky-Übergang und durch die Wirkung des p⁺-Polysiliziums. Dabei ist das Gate geerdet, ähnlich wie in Fig. 4A, was zu einer Verarmung des Kanalbereichs führt, so daß keine Elektronen hindurchtreten können. Dagegen wird im Leitungszustand nach Fig. 4D das Potential an der Grenzfläche des Isolationsfilms erhöht, und zwar in Antwort auf das Gatepotential, so daß sich eine Anreicherungsschicht (accumulation layer) herausbildet, die zum Leitungszustand führt. In diesem Zustand sind nur die Anreicherungsschicht und die Verarmungsschicht innerhalb des Kanalbereichs vorhanden, so daß sich die meisten Leitungselektronen nur in der Grenzfläche des Gateisolationsfilms befinden.

Nachfolgend wird der Betrieb der ersten MOS-Ein-

richtung näher beschrieben. Die Fig. 5 zeigt eine Strom-Spannungscharakteristik dieser ersten MOS-Einrichtung 1000.

Es sei darauf hingewiesen, daß die Sourceelektrode 33 geerdet ist, während die Drainelektrode 11 durch ein positives Potential vorgespannt ist.

Wird zunächst das Gate geerdet, so fließt kein Strom durch die erste MOS-Einrichtung hindurch. Legt man das Verhältnis von Kanallänge "L" zu Kanalbreite "H" auf einen geeigneten Wert (dieses Verhältnis L/H ist größer als ein vorbestimmter Wert), so wird der Kanal nicht mehr geöffnet, auch wenn die Drainspannung bis auf die Durchbruchspannung von Silizium ansteigt, wie die Kurve 5-C von Fig. 5 erkennen läßt.

Wird anschließend ein hinreichend höheres, positives Potential als Gatespannung angelegt, um die Anreicherungsschicht im Bereich des Isolationsgates zu bilden, so wird der Sourcebereich 3 elektrisch mit dem Drainbereich 1 verbunden, und zwar über die Anreicherungsschicht, so daß ein Strom durch den Kanalbereich hindurchfließt. Da die Anreicherungsschicht im Kanalbereich eine hinreichende Dichte von Leitungselektronen aufweist, zeigt die resultierende Strom-Spannungscharakteristik keine Sättigung, wie anhand der Kurve 5-A von Fig. 5 zu erkennen ist.

Wird ein relativ niedriges, positives Potential an das Gate angelegt, wird lediglich eine dünnere Anreicherungsschicht im Bereich des Isolationsgates erhalten, so daß der Stromfluß begrenzt ist, und zwar durch die Mobilität bzw. Beweglichkeit der Leitungselektronen, die innerhalb dieser dünnen Anreicherungsschicht vorhanden sind. Die entsprechende Strom-Spannungscharakteristik zeigt eine Sättigungseigenschaft, wie die Kurve 5-B in Fig. 5 verdeutlicht. Der Grund, warum der Drainstrom nur langsam größer wird in Übereinstimmung mit einer Erhöhung der Drainspannung gemäß Kurve 5-B liegt darin, daß der Kanalbereich durch das Drainfeld beeinflusst wird, wodurch sich ein Abstand, unter dem die Anreicherungsschicht zu liegen kommt, leicht verkürzt.

Verschiedene Bedingungen zur Realisierung gewünschter Strom-Abschalt-Zustände

Die Fig. 6A bis 6C repräsentieren Banddiagramme für einen Abschnitt der ersten MOS-Einrichtung entlang der Linie A-A in Fig. 3. Dabei sind der Einfachheit halber nur eine untere Linie in einem Leitungsband eines Halbleiterbereichs, eine Schottky-Barriere und ein Isolationsfilm dargestellt.

In Fig. 6 bedeutet das Symbol " Φ_G " eine Potentialhöhe an einem unteren Ende eines Leiters aus Polysilizium vom p⁺-Typ, das als Gateelektrode arbeitet, wobei das Potential " Φ_G " den Fermi-Pegel angibt, das Symbol " Φ_B " eine Barrierenhöhe eines Schottky-Übergangs zwischen einem Kanalbereich und dem Sourcemetall 33, das Symbol " E_g " eine Bandlücke von Silizium und das Symbol " t_{ox} " die Dicke eines Isolationsfilms. Dabei liegt die Gateelektrode auf Erdpotential in Fig. 6.

Wie bereits zuvor erwähnt, geben die Fig. 6A bis 6C verschiedene Zustände an, um bessere Stromabschaltzustände der Kanalstrukturen nach der Erfindung zu erzielen.

Die Fig. 6A zeigt einen solchen Zustand, bei dem die Potentialverteilung am Kanalabschnitt weder ein Maximum (hohen Peak) noch ein Minimum (niedrigen Peak) aufweist, was dadurch erreicht wird, daß bestimmte Werte für die Kanaldicke "H" und auch für die Verunrei-

nigungs- bzw. Dotierungsdichte " N_D " ausgewählt werden. Es existiert ebenfalls kein Bereich, in welchem Majoritätsträger im Kanalbereich konzentriert sind.

Die Fig. 6B illustriert einen Zustand, bei dem ebenfalls keine Majoritätsträger vorhanden sind, obwohl ein Potentialmaximum im Kanalabschnitt erscheint, da ein Maximalwert kleiner ist $-E_g/2$, wenn der Fermi-Pegel als Referenzpegel ausgewählt wird.

Dagegen repräsentiert die Fig. 6C einen Zustand, bei dem Majoritätsträger in einem Bereich konzentriert sind, wenn ein Maximalwert größer ist als $-E_g/2$, und zwar bei verarmtem Kanal. In diesem Zustand wird ein großer Stromanteil als Leckstrom fließen.

Da die Halbleitereinrichtungen nach der Erfindung auf solche mit normalem Abschaltverhalten gerichtet sind, müssen die Verunreinigungs- bzw. Dotierungsdichte " N_D " des Kanalbereichs und die Kanaldicke " H " so gewählt werden, daß sich der in Fig. 6C gezeigte Zustand nicht herausbildet. Diese Bedingung läßt sich leicht durch Lösung einer Poission-Gleichung verifizieren. Ist beispielsweise die Verunreinigungs- bzw. Dotierungsdichte " N_D " des Kanalbereichs zu $1 \times 10^{15} \text{ cm}^{-3}$ gewählt, so ist die Kanaldicke " H " kleiner als $1,07 \mu\text{m}$ oder gleich diesem Wert. Ist dagegen die Verunreinigungs- bzw. Dotierungsdichte " N_D " zu $1 \times 10^{18} \text{ cm}^{-3}$ gewählt, so ist die Kanaldicke " H " kleiner oder gleich $0,27 \mu\text{m}$.

Das Potential am Kanalbereich angrenzend zum Sourcebereich gemäß Fig. 1 wird durch den Einfluß des Sourcebereichs vergrößert. Durch Berechnungen konnte herausgefunden werden, daß dieser beeinflusste Bereich bzw. Teil nur bis zu einem Abstand reicht, der im wesentlichen gleich der Kanaldicke " H " ist und vom Sourcebereich zum Zentrum des Kanalbereichs gerichtet ist, und zwar innerhalb eines Bereichs, in welchem die oben beschriebenen verschiedenen Zustände nach Fig. 6 erfüllt sind, unabhängig von anderen Bedingungen.

Im Falle des ersten bevorzugten Ausführungsbeispiels nach der Erfindung wird der an der Drainseite liegende Teil des Kanals, an welchem der potentialerhöhende Einfluß vorhanden ist, nur bis zu einem Abstand reichen, der im wesentlichen gleich der Kanaldicke ist, auch wenn eine Spannung bis herauf zum Avalanche-Durchbruchzustand des Siliziums an die Drainelektrode angelegt wird.

Um zu erreichen, daß der Kanal der ersten MOS-Einrichtung nicht öffnet bzw. nicht leitend wird, auch wenn die Drainspannung bis herauf zu einer gewünschten höheren Durchbruchsspannung (withstanding voltage) vergrößert wird, muß beim bevorzugten Ausführungsbeispiel der Erfindung die Kanallänge " L " 2,0 bis 2,5mal größer sein als die Kanaldicke " H ", vorzugsweise 3 bis 4mal größer als die Kanaldicke " H ". In Übereinstimmung mit dem ersten Ausführungsbeispiel wird daher im Falle einer Kanaldicke " H " von 300 Nanometern (3000 Angström) die Kanallänge " L " zu 1 bis $1,2 \mu\text{m}$ gewählt, während im Falle einer Kanaldicke " H " von 100 Nanometern (1000 Angström) die Kanallänge " L " zu 0,3 bis $0,4 \mu\text{m}$ gewählt wird.

Obwohl bei der ersten MOS-Einrichtung nach Fig. 3 die Tiefe des Isolationsgates gleich derjenigen des Sourceelektrodenmetalls 33 ist, kann nach Fig. 7 die Tiefe des Sourceelektrodenmetalls 33 auch geringer sein im Vergleich zur Tiefe des Sourceelektrodenmetalls 33 nach Fig. 3. Eine derart abgewandelte MOS-Einrichtung 1100 ist in Fig. 7 dargestellt. Da sowohl das elektrische Feld, das am Boden dieses Sourcemetalls 33 anliegt, und auch der Kanal entspannt sind, läßt sich die

erlaubte Durchbruchsspannung (withstanding voltage) vergrößern, während andererseits die Kanallänge " L " auf etwa die Hälfte der in Fig. 3 gezeigten Kanallänge verkürzt wird.

Werden darüber hinaus Eckbereiche des Sourcemetalls 33 und der Isolationsgateelektrode 4 nicht spitzwinklig ausgebildet sondern abgerundet, so läßt sich das daran angreifende elektrische Feld ebenfalls abschwächen.

Bei jedweder Modifikation sollte das Verhältnis von Kanallänge " L " zu Kanaldicke " H " so gewählt werden, daß der Kanal nicht öffnet, auch wenn die Drainspannung auf eine gewünschte höhere Durchbruchsspannung (withstanding voltage) vergrößert wird.

Herstellung der ersten MOS-Einrichtung

Anhand der Fig. 8A bis 8F wird nachfolgend die Herstellung der in Fig. 3 gezeigten ersten MOS-Einrichtung 1000 näher beschrieben.

In einem ersten Schritt gemäß Fig. 8A wird ein Maskierungsmaterial 100 auf einer Oberfläche eines n-Typ Siliziumsubstrats angeordnet. Sodann wird eine Ausnehmung durch das Maskierungsmaterial in das Substrat hineingetätzt, die zur Bildung eines U-förmig ausgebildeten Isolationsgates dient. Der Ätzvorgang wird so ausgeführt, daß die Ausnehmung im wesentlichen senkrecht zur Oberfläche des Substrats verläuft, wobei ein richtungsabhängiger Trockenätzvorgang zur Anwendung kommt.

Im nächsten Schritt gemäß Fig. 8B wird ein Gateoxidfilm 5 an der inneren Wand dieser Ausnehmung gebildet. Sodann wird Polysilizium 4 vom p⁺-Typ in die Ausnehmung eingebracht, wonach eine Oberfläche des niedergeschlagenen Polysiliziums 4 getätzt wird, damit sie eben wird. Die Oberfläche dieses Polysiliziums 4 vom p⁺-Typ, das als Gateelektrode arbeitet, wird schließlich oxidiert, so daß ein isoliertes Gate erhalten wird.

In einem weiteren Schritt nach Fig. 8C wird das Maskierungsmaterial 100 entfernt, während das freigelegte Siliziumsubstrat 1 weggetätzt wird, um einen Teil des isolierten Gates freizulegen.

In einem weiteren Schritt gemäß Fig. 8D wird ein anderes Maskierungsmaterial auf die so erhaltene Oberfläche niedergeschlagen, das beispielsweise ein Phosphorsilikatglas sein kann. Dieses Maskierungsmaterial 7 wird so aufgebracht, daß es überall dieselbe Dicke aufweist, und zwar sowohl oberhalb des isolierten Gates als auch an den Seitenwänden des freigelegten isolierten Gates. Das Maskierungsmaterial 7 weist also dieselbe Dicke auf wie die des flachen Teils, auch an den Seitenwänden des freigelegten isolierten Gates. Wird die resultierende Halbleitereinrichtung anschließend für eine kurze Zeit erhitzt, so bildet sich durch Diffusion von Verunreinigungen aus dem phosphorisierten Glas bzw. Phosphorsilikatglas innerhalb des Substrats 1 ein n⁺-Bereich, der als Sourcebereich 3 dient. Dieser Sourcebereich 3 läßt sich aber auch durch Ioneninjektion oder durch Verwendung von anderem Maskierungsmaterial herstellen.

Im darauffolgenden Schritt gemäß Fig. 8E wird das obenbeschriebene Maskierungsmaterial 7 weggetätzt. Dieses genannte Maskierungsmaterial 7 verbleibt dann nur noch an den Seitenwänden des freigelegten isolierten Gates. In Übereinstimmung mit der Erfindung kann die Kanaldicke " H " des Halbleiterelements durch Einstellung der Dicke des Maskierungsmaterials 7 präzise gesteuert werden. Die jetzt genannte Dicke ist hier die

Breite des Maskierungsmaterials 7 in Querrichtung, wie die Fig. 8E erkennen läßt, also die Breite parallel zur Substratoberfläche.

Zuletzt wird gemäß Fig. 8F das Markierungsmaterial 7 an den Seitenwänden des Gates als Maskierungsmaterial verwendet, wenn das Siliziumsubstrat vertikal geätzt wird, und zwar unter Anwendung eines richtungsabhängigen Trockenätzvorgangs. Auf diese Weise wird eine Furche für das Sourceelektrodenmetall gebildet.

Sodann wird Sourcemetall im Vakuum niedergeschlagen, um die in Fig. 3 gezeigte Basisstruktur für die erste MOS-Einrichtung 1000 zu erhalten. Die Ausnehmung läßt sich aber auch in anderer Weise mit dem Sourcemetall füllen, beispielsweise durch einen geeigneten Strukturierungsprozeß.

Das Sourcemetall bildet einen Schottky-Übergang mit dem Siliziumsubstrat, das als Drainbereich 1 arbeitet, wobei das Sourcemetall mit dem Sourcebereich an der Oberfläche in ohmschem Kontakt steht. Darüber hinaus kann eine flache bzw. ebene Struktur des isolierten Gates als eine Streifenstruktur hergestellt werden, wobei die Struktur aber auch maschenartig sein kann.

Bei der ersten Halbleitereinrichtung nach der Erfindung mit dem oben beschriebenen Aufbau läßt sich der Kanalwiderstand etwa 10mal weiter verringern als bei einem konventionellen MOSFET und zwar aus folgenden Gründen:

A) Obwohl die Einrichtung nur eine geringe Kanallänge aufweist, besitzt sie eine hinreichende Kanalunterbrechungscharakteristik, wie dies auch beim konventionellen MOSFET der Fall ist.

B) Der Kanal dieser Einrichtung wird durch die Anreicherungsschicht gebildet (accumulation layer), deren spezifischer Widerstand geringer ist als derjenige der Inversionsschicht, welche üblicherweise als Kanalsystem im konventionellen MOSFET verwendet wird.

C) Nur ein Photoprozeß ist erforderlich, um die Grundstruktur nach Fig. 3 zu erhalten. Der Kanal wird in Tiefenrichtung des Halbleitersubstrats gebildet, so daß eine kleine Struktureinheit erhalten wird und sich die Kanaldichte vergrößern läßt.

Aufbau der zweiten Halbleitereinrichtung

Die Fig. 9 zeigt einen Querschnitt durch eine Halbleitereinrichtung 2000 nach einem zweiten bevorzugten Ausführungsbeispiel der Erfindung.

Die zweite Halbleitereinrichtung 2000 gemäß Fig. 9 ist ähnlich wie die erste Halbleitereinrichtung 1000 gemäß Fig. 3 aufgebaut, weist aber zusätzlich das Merkmal auf, daß ein Verunreinigungs- bzw. Dotierungsbereich 10 vom p⁺-Typ an der Grenzfläche des Sourceelektrodenmetalls 33 gebildet ist, die dem isolierten Gate nicht gegenüberliegt. Der Bereich 10 liegt vielmehr dem Bereich des Sourceelektrodenmetalls 33 gegenüber, der direkt in Kontakt mit dem Drainbereich 1 steht, also demjenigen Bereich, der die unterste Ebene des Metalls 33 in Fig. 9 bildet. Der Bereich 10 selbst liegt innerhalb des Drainbereichs 1.

Durch die Verwendung des Dotierungsbereichs 10 vom p⁺-Typ läßt sich ein Leckstrom beträchtlich reduzieren, der vom Schottky-Übergang kommt und dann erzeugt wird, wenn der Hauptstrom unterbrochen wird.

Aufbau der dritten Halbleitereinrichtung

Die Fig. 10A bis 10D zeigen den Aufbau einer Halbleitereinrichtung 3000 in Übereinstimmung mit einem

dritten Ausführungsbeispiel der Erfindung. Die Fig. 10A zeigt einen Querschnitt der dritten Halbleitereinrichtung 3000, während die Fig. 10B einen Querschnitt durch die dritte Halbleitereinrichtung 3000 entlang der Linie A-A von Fig. 10A zeigt. Dagegen stellt die Fig. 10C ein Bandstrukturdiagramm des Abschnitts entlang der Linie B-B von Fig. 3 dar, während die Fig. 10D ein Bandstrukturdiagramm des Abschnitts entlang der Linie B-B von Fig. 10A darstellt.

Der Aufbau der dritten Halbleitereinrichtung 3000 weist das Merkmal auf, das im Vergleich zur Basisstruktur der ersten Halbleitereinrichtung 1000 gemäß Fig. 3 ein Teil des Sourceelektrodenmetalls 33 in direktem Kontakt mit dem Gateisolationsfilm 5 steht, insbesondere in Vertikalrichtung, wie die Fig. 10B erkennen läßt.

Im Prinzip betrifft die Halbleitereinrichtung nach der vorliegenden Erfindung eine unipolare Einrichtung. Im Falle der ersten Halbleitereinrichtung 1000 ist der Stromträger ein Elektron. Es besteht jedoch das Risiko, daß sich der Kanal öffnen kann, und zwar in Abhängigkeit des eingeschränkten Zustands. Werden mit anderen Worten Löcher in der Verarmungsschicht erzeugt, so kann ein Teil dieser Löcher durch das Sourcemetall 33 angesaugt werden, während andere Löcher in der Umgebung des isolierten Gates durch das isolierte Gate angesaugt werden und eine Inversionsschicht bilden. Sie fließen dann in den Kanalbereich hinein. Im Ergebnis wird das Potential an der Oberfläche des Isolationsfilms 5 benachbart zum Kanalbereich vergrößert, so daß sich dadurch der Kanal öffnen kann. Wird das Potential am Isolationsfilm 5 innerhalb des Kanalbereichs größer als die gegenüberliegende Schottky-Barriere, so fließen die Löcher in die Sourceelektrode. Unter diesen Umständen läßt sich die Bedingung, daß sich der Kanal nicht öffnen soll, durch die nachfolgende Formel (1) ausdrücken:

$$\frac{q \cdot N_D}{2 \epsilon_{Si}} H^2 > \Phi_B - \frac{E_g}{2} \quad (1)$$

Diese Bedingung wird nachfolgend unter Bezugnahme auf die Fig. 10C und 10D näher erläutert.

Die Fig. 10C zeigt ein Banddiagramm des Abschnitts der ersten MOS-Einrichtung 1000 gemäß Fig. 3 entlang der Linie A-A, während die Fig. 10D ein Banddiagramm eines Kanalteils gemäß Fig. 10A darstellt, und zwar entlang der Linie B-B von Fig. 10A.

Die Bandstruktur des Kanalbereichs von Fig. 3 ist in Fig. 10C durch die gestrichelte Linie gezeigt. Dies ist derselbe Zustand wie in Fig. 6A. Werden Löcher an der Grenzfläche des Isolationsfilms gesammelt, so erhöht sich das Potential an dieser Isolationsfilm-Grenzfläche. Steigt das Potential herauf bis zu einem Zustand, der durch die durchgezogene Linie in Fig. 10C dargestellt ist, so beginnen die Löcher in die Seite des Schottky-Übergangs zu fließen. Ist auch unter einer solchen Bedingung das Potential an der Grenzfläche in Übereinstimmung mit Teil im Kanal beim Maximumpotential kleiner als $-E_g/2$, so wird klar, daß der Kanal niemals öffnen kann.

Die Fig. 10A und 10B lassen andererseits erkennen, daß das Potential an der Oberfläche des Isolationsfilms des Kanalbereichs benachbart zu ihm nicht höher wird als die Schottky-Barriere der Sourceelektrode, wenn das Sourcemetall 33 in Kontakt mit dem Isolationsfilm 5 steht. Selbst wenn also, wie in Fig. 10D dargestellt ist, Löcher an der Grenzfläche des Isolationsfilms gesam-

melt werden, so daß das Potential ansteigt, verbleibt das Potential, unter der durch die durchgezogene Linie in Fig. 10D dargestellten Bedingung, ähnlich zu Fig. 10C. Das Maximumpotential erscheint daher im mittleren Bereich des Kanals. Ist jedoch dieses Potential kleiner als $-E_g/2$, so öffnet sich der Kanal nicht. Wird dieser Zustand durch eine Formel ausgedrückt, so läßt sich der erlaubte Bereich für das Potential wie folgt definieren:

$$\frac{q \cdot N_D}{2 \epsilon_{Si}} \left(\frac{H}{2} \right)^2 > \Phi_B \cdot \frac{E_g}{2} \quad (2)$$

Wie ein Vergleich beider Formeln (1) und (2) zeigt, ist bei Anwendung dieser Methode eine Dotierungs- bzw. Verunreinigungsdichte des Kanalbereichs erlaubt, die vier Mal höher sein kann als die bei der ersten Halbleitereinrichtung nach Fig. 3 für den Fall, daß die Kanaldicken "H" beider Halbleitereinrichtungen einander gleich sind. Im Ergebnis läßt sich der elektrische spezifische Widerstand (electric resistivity) der Anreicherungsschicht weiter herabsetzen.

Aufbau der vierten Halbleitereinrichtung

Eine Halbleitereinrichtung 4000 nach einem vierten Ausführungsbeispiel der Erfindung wird nachfolgend unter Bezugnahme auf die Fig. 11 beschrieben. Dabei zeigen Fig. 11A einen Querschnitt durch die vierte Halbleitereinrichtung 4000, Fig. 11B einen Querschnitt durch die vierte Halbleitereinrichtung 4000 entlang der Linie A-A von Fig. 11A, Fig. 11C einen anderen Querschnitt der Halbleitereinrichtung 4000 und Fig. 11D einen Querschnitt durch einen Endbereich dieses Halbleiterelements.

Die Strukturen nach den Fig. 11A und 11B weisen das Merkmal auf, daß ein Bereich 200 vom p⁻-Typ verwendet wird, der elektrisch mit dem Sourcebereich 3 verbunden ist, und zwar anstelle des Teils des Sourcemetalls 33, welches direkt in Kontakt mit dem Isolationsfilm 5 bei der dritten Halbleitereinrichtung 3000 von Fig. 10A steht. Da in Übereinstimmung mit dem Aufbau der vierten Halbleitereinrichtung 4000 die an der Oberfläche des isolierten Gates angesammelten Löcher zu diesem p⁻-Typbereich 200 gezogen werden, bildet sich keine Inversionsschicht an der Grenzfläche des Gateisolationsfilms, so daß dort auch keine Potentialerhöhung auftritt.

Der oben beschriebene p⁻-Typbereich 200 kann auch am Boden des isolierten Gates gebildet werden und kann mit der Sourceelektrode in einem anderen Bereich verbunden sein, was zu einer Abweichung von der Grundstruktur 1000 in Fig. 3 führt, wie die Fig. 11C erkennen läßt.

Die Fig. 11D zeigt einen Querschnitt durch einen Endbereich eines Elements, entlang der Linie B-B in Fig. 3, wobei das Element eine streifenförmige Gatestruktur aufweist und dieselbe Querschnittsstruktur wieder das in Fig. 3 gezeigte Element. Zur Herstellung eines Kontakts wird ein Bereich 202 vom p⁺-Typ verwendet.

Wie aus der vorangegangenen Beschreibung hervorgeht, kann ein mit der Sourceelektrode 33 verbundener peripherer Schutzring zur Bildung des p⁻-Typbereichs 200 verwendet werden, welcher in Kontakt mit einem Endteil des isolierten Gates steht.

Aufbau der fünften Halbleitereinrichtung

Fig. 10 zeigt einen Querschnitt durch eine Halbleitereinrichtung 5000 in Übereinstimmung mit einem fünften bevorzugten Ausbildungsbeispiel der Erfindung.

Die fünfte Halbleitereinrichtung 5000 weist das Merkmal auf, daß zusätzlich zur Basisstruktur 1000 von Fig. 3 ein p⁺-Typbereich 101 zwischen dem Drainbereich 1 und der Drainelektrode 11 liegt.

Unter Betriebsbedingungen des fünften Elements wird der Drainbereich 1 auf einen höheren Injektionspegel von Minoritäts-Ladungsträgern gebracht, wodurch sich die elektrische Leitfähigkeit des fünften Elements 5000 beträchtlich verringert. Ein Teil der injizierten Löcher verschwindet innerhalb des Drainbereichs 1, während die verbleibenden Löcher in den Sourcebereich 33 hineinfließen, der in Kontakt mit dem Drainbereich 1 steht.

Diese fünfte Halbleitereinrichtung 5000 weist insbesondere den Vorteil auf, daß sich die Stromkapazität beträchtlich vergrößern läßt, und zwar unter Heranziehung des Leitfähigkeits-Modulationseffekts, während andererseits die injizierten Minoritäts-Ladungsträger nicht im Bereich der Elektrode gesammelt werden. Trotzdem tritt auch hier eine sehr kleine Akkumulation von Minoritäts-Ladungsträgern auf. Als Konsequenz hieraus kann das fünfte Element 5000 im Vergleich mit dem normalen Bipolar-Element als Hochgeschwindigkeits-Schaltelement konstruiert sein.

Patentansprüche

1. Halbleitereinrichtung (1000; 1100), gekennzeichnet durch:

- einen Drainbereich (1) aus einem halbleitenden Substrat eines ersten Leitfähigkeitstyps, der eine erste und eine zweite Hauptoberfläche aufweist,
- einen Sourcebereich (3), der durch einen Dotierungsbereich vom ersten Leitfähigkeitstyp innerhalb des Drainbereichs (1) gebildet ist und in Kontakt mit der ersten Hauptoberfläche des Drainbereichs (1) steht,
- eine von einem Isolationsfilm (5) umgebene Gateelektrode (4) innerhalb einer ersten und U-förmig ausgebildeten Ausnehmung, die sich ausgehend von der ersten Hauptoberfläche des Drainbereichs (1) ins Innere des Drainbereichs (1) erstreckt und in Kontakt mit einer Seite des Sourcebereichs (3) steht,
- eine zweite Ausnehmung, die sich ausgehend von der ersten Hauptoberfläche ins Innere des Drainbereichs (1) erstreckt und so positioniert ist, daß sie in Kontakt mit der anderen Seite des Sourcebereichs (3) steht, wobei ein als Sourceelektrode dienendes Metall (33) in die zweite Ausnehmung eingebracht ist, um einen Schottky-Übergang mit dem Drainbereich (1) zu bilden,
- eine Drainelektrode (11), die elektrisch mit der zweiten Hauptoberfläche des Drainbereichs (1) verbunden ist, und
- einen Kanalbereich in einem Teil des Drainbereichs (1), der zwischen der Gateelektrode (4) und dem Metall (33) der Sourceelektrode liegt, wobei eine Verarmung des Kanalbereichs sowohl aufgrund des Unterschieds der Arbeitsfunktionen des Materials für die

Gateelektrode (4) und desjenigen für den Kanalbereich als auch aufgrund des Schottky-Übergangs erhalten wird, wenn wenigstens das Potential an der Gateelektrode (4) gleich demjenigen an der Sourceelektrode ist, und wobei ferner ein Verhältnis von Kanalbereichslänge (L) zu Kanalbereichsdicke (H) auf einen solchen Wert eingestellt ist, daß selbst dann, wenn eine Spannung an der Drainelektrode (11) auf eine gewünschte Durchbruchspannung (withstanding voltage) erhöht wird, der Kanalbereich nicht in den Leitungszustand überführt wird.

2. Halbleitereinrichtung nach Anspruch 1, dadurch gekennzeichnet, daß das Verhältnis der Länge (L) des Kanalbereichs zu dessen Breite (H) größer als etwa 2 ist.

3. Halbleitereinrichtung nach Anspruch 1, dadurch gekennzeichnet, daß eine Länge des innerhalb des Drainbereichs (1) eingebetteten Sourceelektrodenmetalls (33) entlang einer Longitudinalrichtung des Metalls (33) im wesentlichen gleich einer Länge der innerhalb des Drainbereichs (1) eingebetteten Gateelektrode (4) ist, gesehen in Longitudinalrichtung der Gateelektrode (4).

4. Halbleitereinrichtung nach Anspruch 1, dadurch gekennzeichnet, daß eine Länge des innerhalb des Drainbereichs (1) eingebetteten Sourceelektrodenmetalls (33) entlang einer Longitudinalrichtung des Metalls (33) kürzer ist als eine Länge der innerhalb des Drainbereichs (1) eingebetteten Gateelektrode (4), gesehen in Longitudinalrichtung der Gateelektrode (4).

5. Halbleitereinrichtung nach Anspruch 1, dadurch gekennzeichnet, daß ein Bereich (10) mit gegenüber dem Leitfähigkeitstyp des Drainbereichs (1) entgegengesetztem Leitfähigkeitstyp wenigstens in einem Teil der Grenzfläche zwischen dem Sourceelektrodenmetall (33) und dem Drainbereich (1) vorhanden ist, wobei dieser Teil der Grenzfläche nicht der Gateelektrode (4) gegenüber liegt.

6. Halbleitereinrichtung nach Anspruch 5, dadurch gekennzeichnet, daß das Verhältnis von Länge (L) des Kanalbereichs zu dessen Breite (H) größer ist als etwa 2.

7. Halbleitereinrichtung nach Anspruch 1, dadurch gekennzeichnet, daß ein Teil des Sourceelektrodenmetalls (33) direkt in Kontakt mit einer Oberfläche des Isolationsfilms (5) steht, der die Gateelektrode (4) abdeckt.

8. Halbleitereinrichtung nach Anspruch 7, dadurch gekennzeichnet, daß das Verhältnis von Länge (L) des Kanalbereichs zu dessen Breite (H) größer ist als etwa 2.

9. Halbleitereinrichtung nach Anspruch 1, dadurch gekennzeichnet, daß ein zweiter Verunreinigungsbereich (200) mit einem zum Leitfähigkeitstyp des Drainbereichs (1) entgegengesetztem Leitfähigkeitstyp, der elektrisch mit dem Sourceelektrodenmetall (33) verbunden ist, wenigstens in einem Teil der Grenzfläche zwischen dem Drainbereich (1) und dem Isolationsfilm (5), der die Gateelektrode (4) abdeckt, vorhanden ist.

10. Halbleitereinrichtung nach Anspruch 9, dadurch gekennzeichnet, daß das Verhältnis von Länge (L) des Kanalbereichs zu dessen Breite (H) größer als etwa 2 ist.

11. Halbleitereinrichtung nach Anspruch 1, dadurch

gekennzeichnet, daß ein Halbleiterbereich (101) mit einem zum Leitfähigkeitstyp des Drainbereichs (1) entgegengesetzten Leitfähigkeitstyp wenigstens in einem Teilbereich zwischen der zweiten Hauptoberfläche des Drainbereichs (1) und der Drainelektrode (11) vorhanden ist.

12. Halbleitereinrichtung nach Anspruch 11, dadurch gekennzeichnet, daß das Verhältnis von Länge (L) des Kanalbereichs zu dessen Breite (H) größer ist als etwa 2.

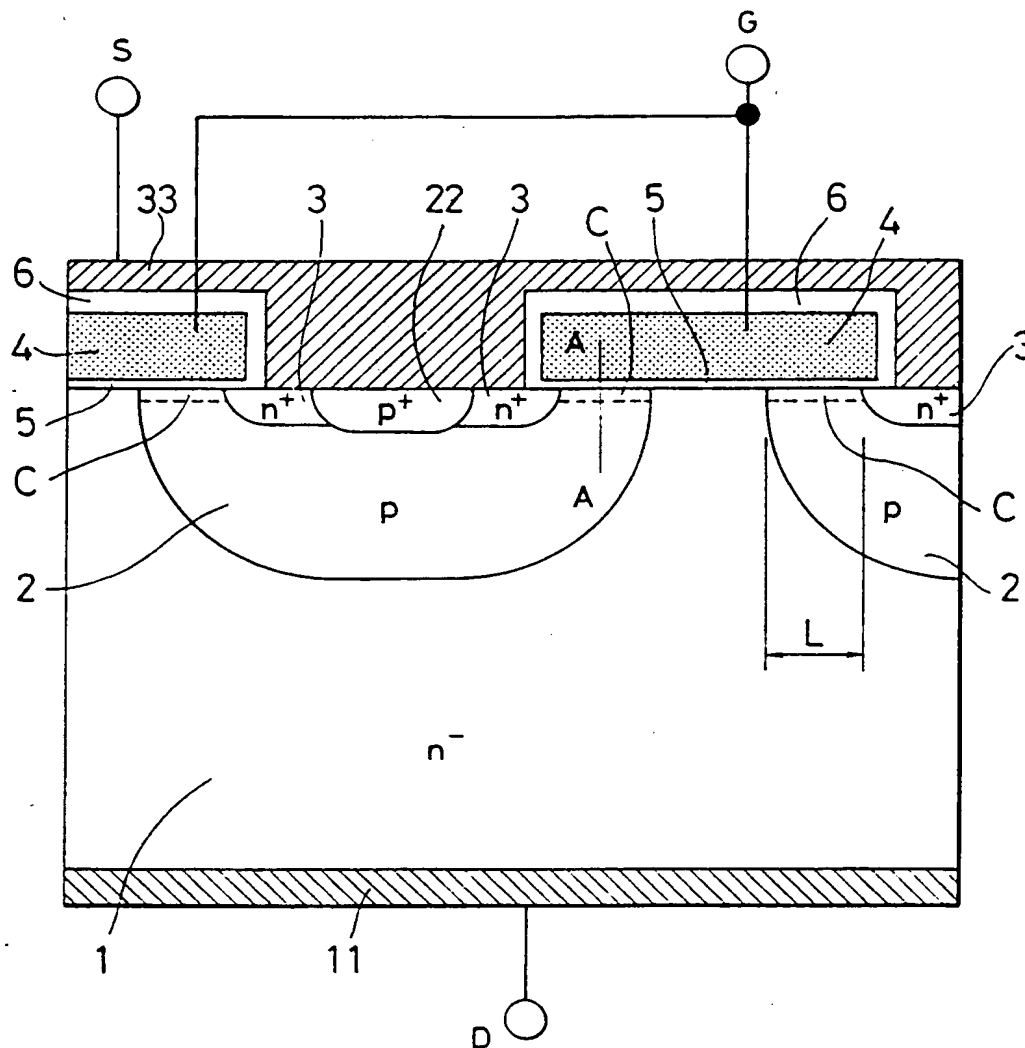
13. Halbleitereinrichtung nach einem der Ansprüche 1 bis 12, dadurch gekennzeichnet, daß der erste Leitfähigkeitstyp des Drainbereichs (1) ein n-Leitfähigkeitstyp ist, während der zu ihm entgegengesetzte ein p-Leitfähigkeitstyp ist.

Hierzu 20 Seite(n) Zeichnungen

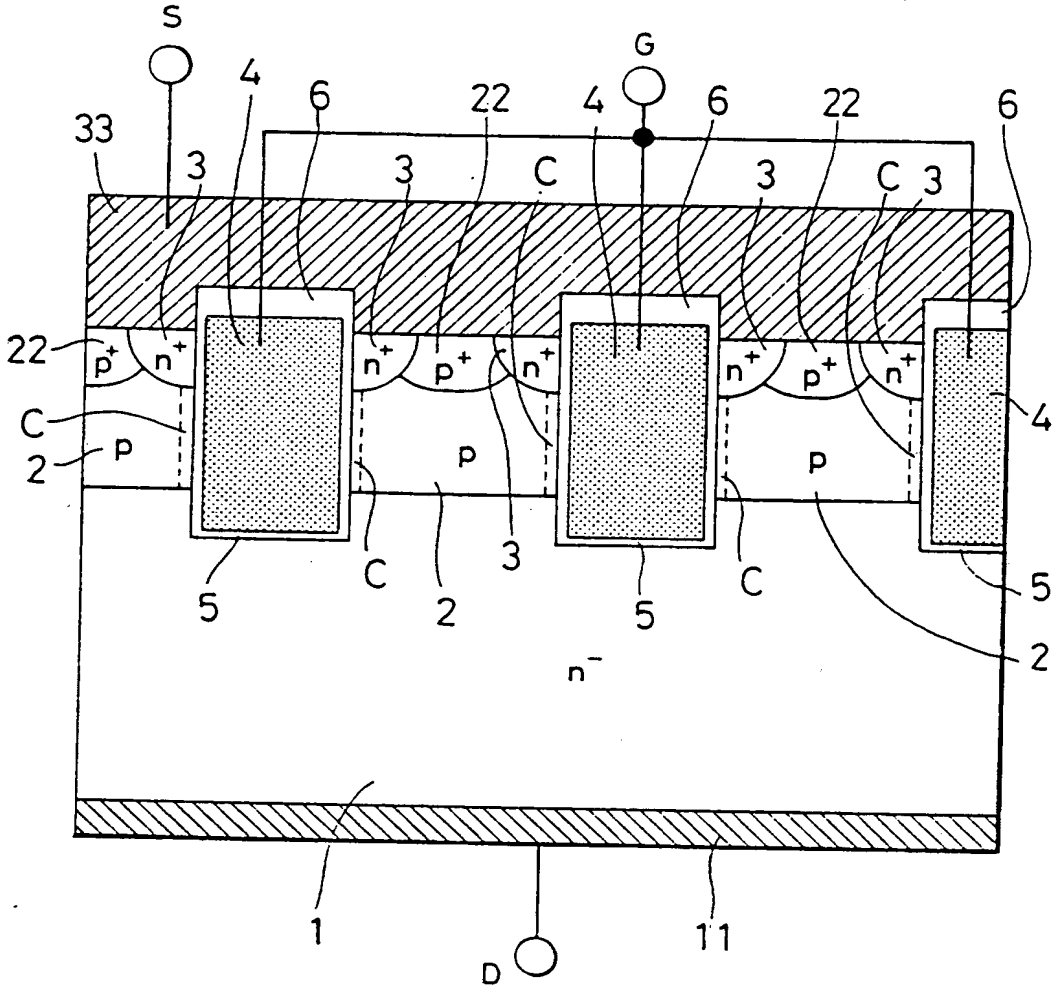
— Leerseite —

STAND DER TECHNIK

FIG.1

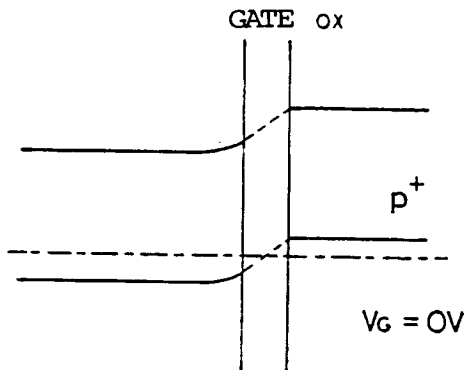


STAND DER TECHNIK
FIG. 2



STAND DER TECHNIK

FIG. 4A



STAND DER TECHNIK

FIG. 4B

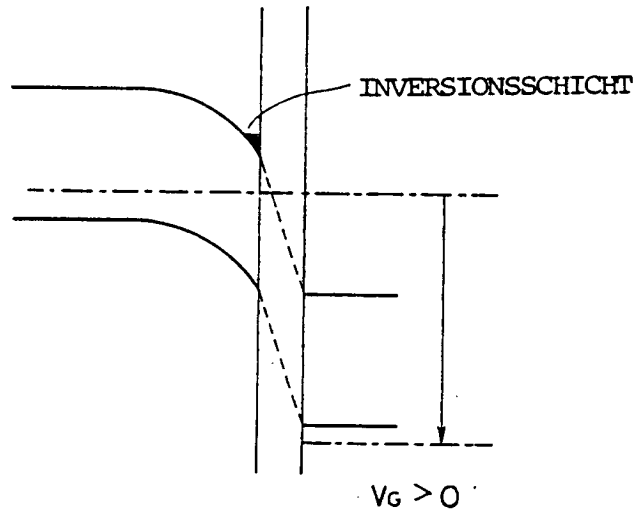


FIG. 4C

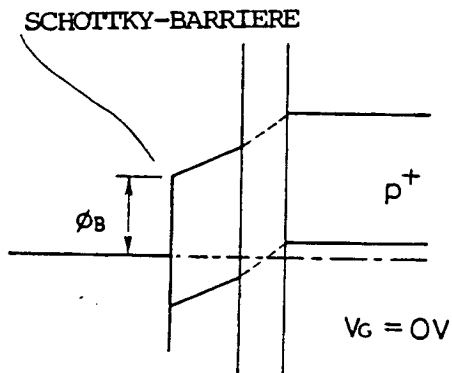


FIG. 4D

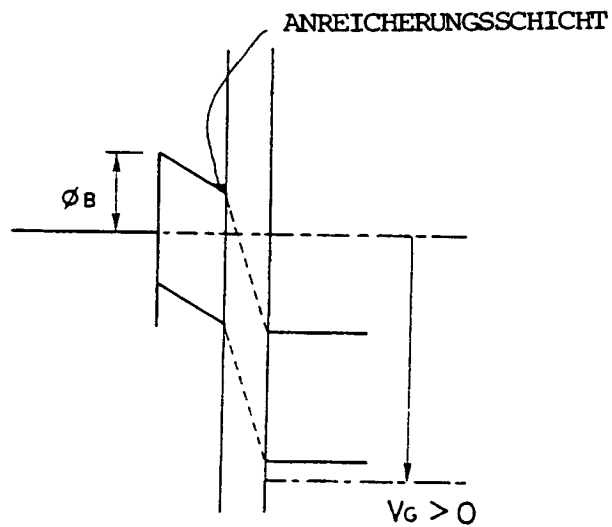


FIG. 5

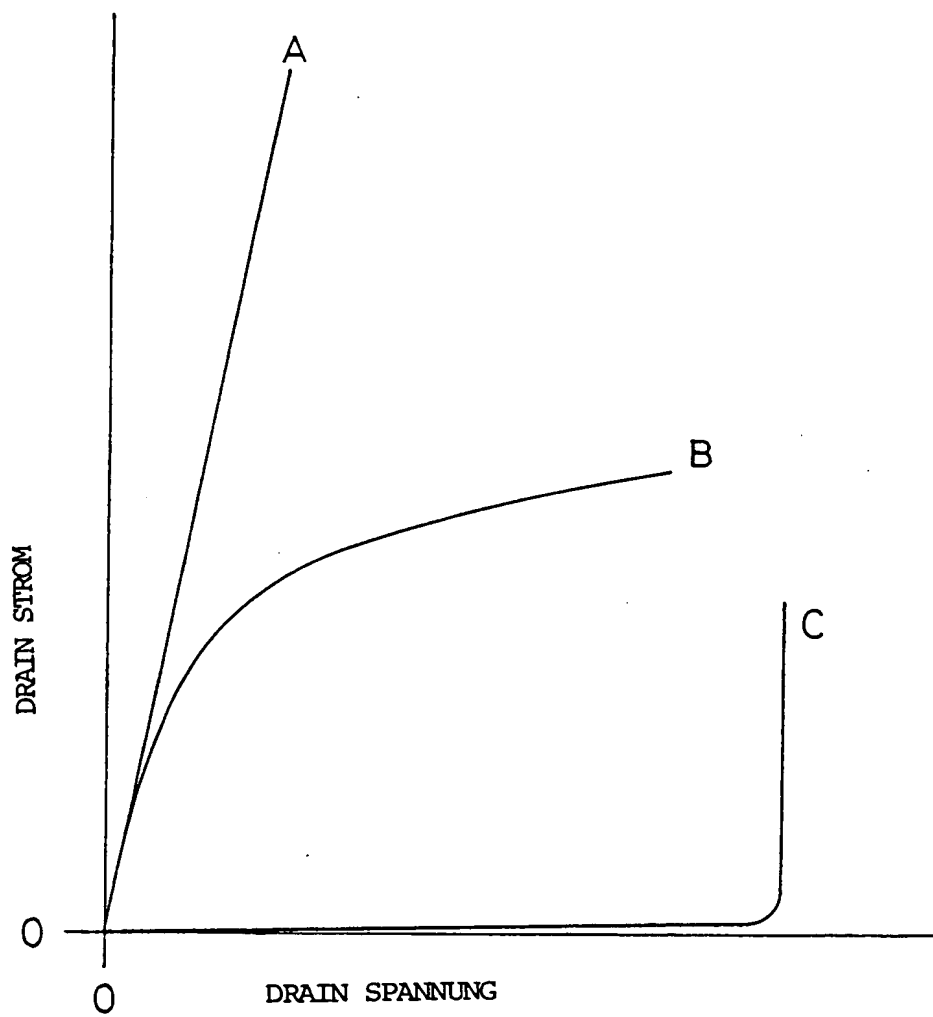


FIG. 6A

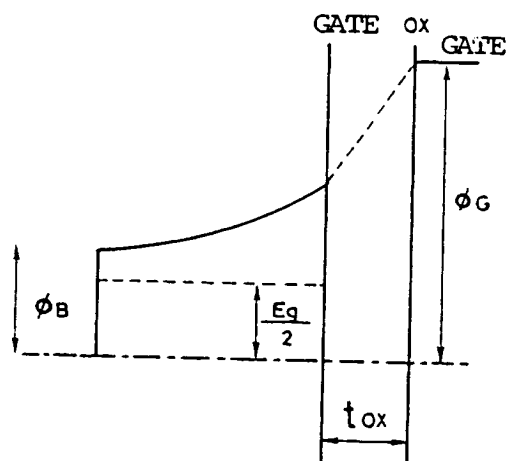


FIG. 6B

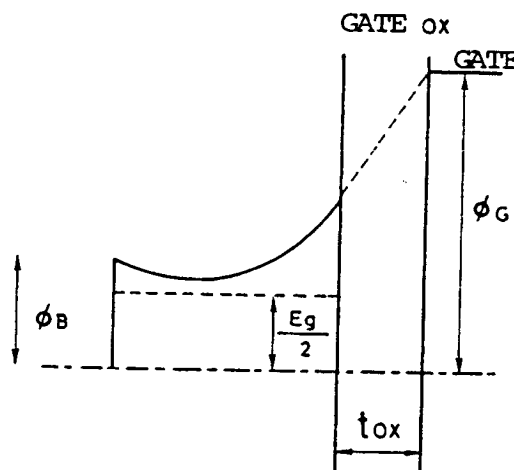


FIG. 6C

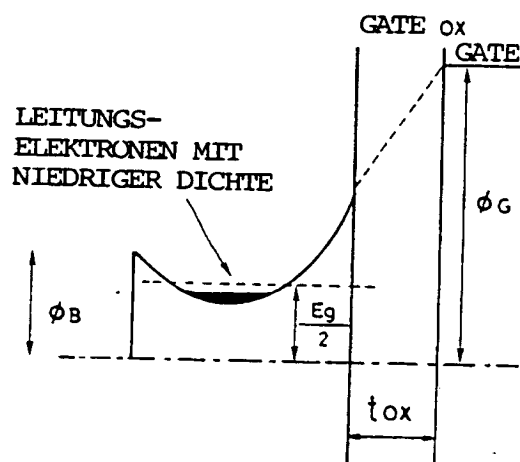


FIG. 7

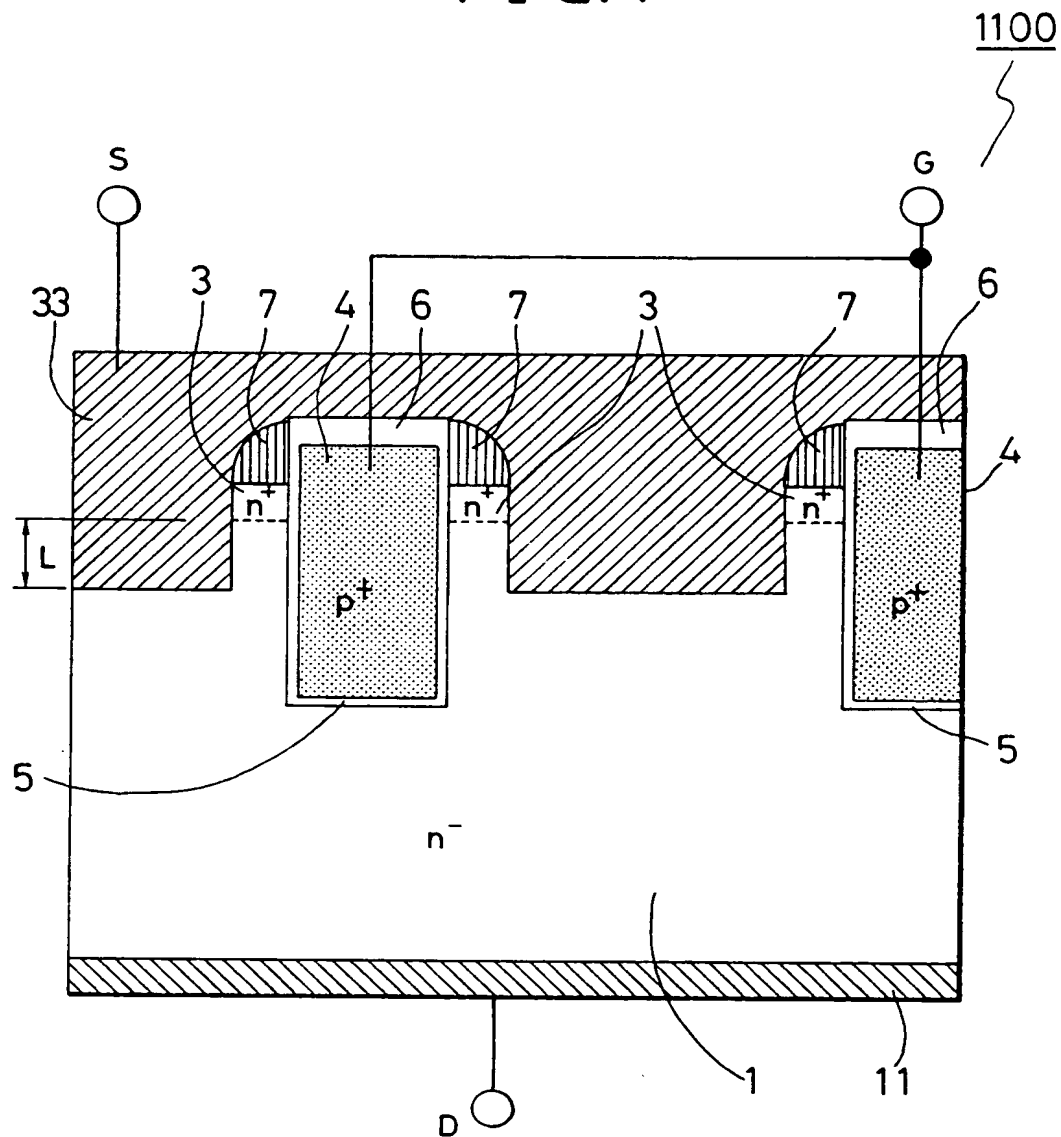


FIG. 8A

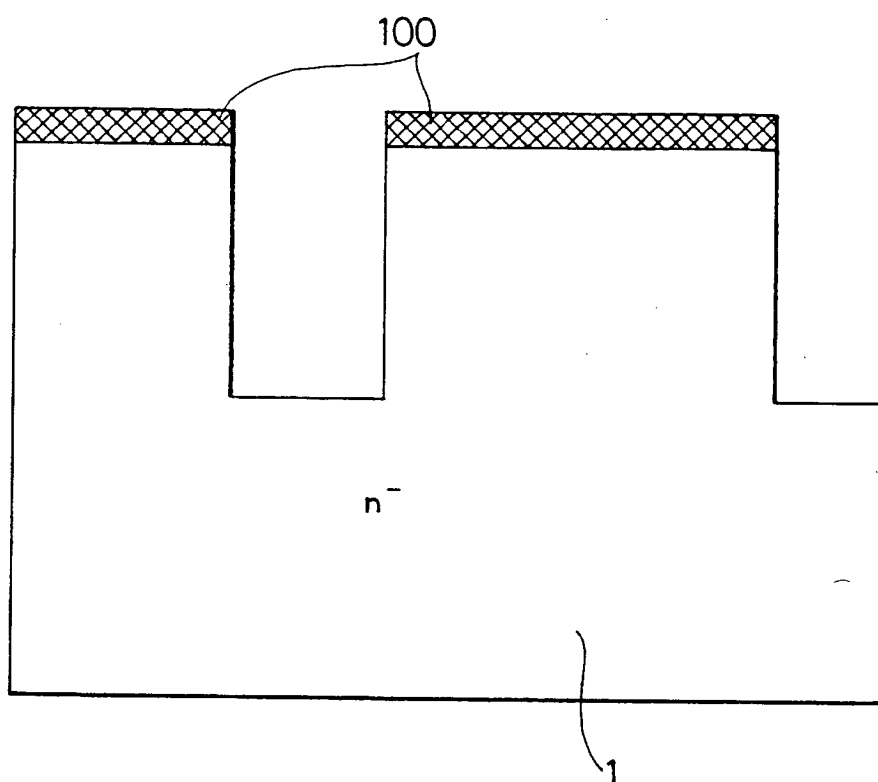


FIG. 8B

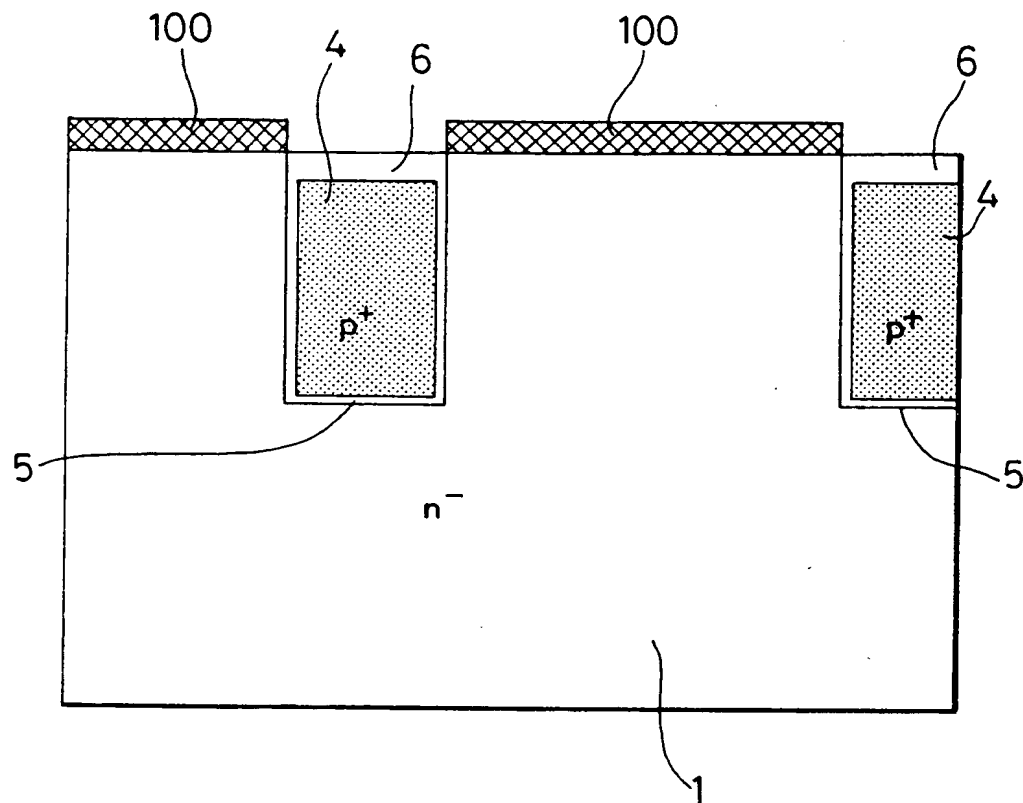


FIG. 8C

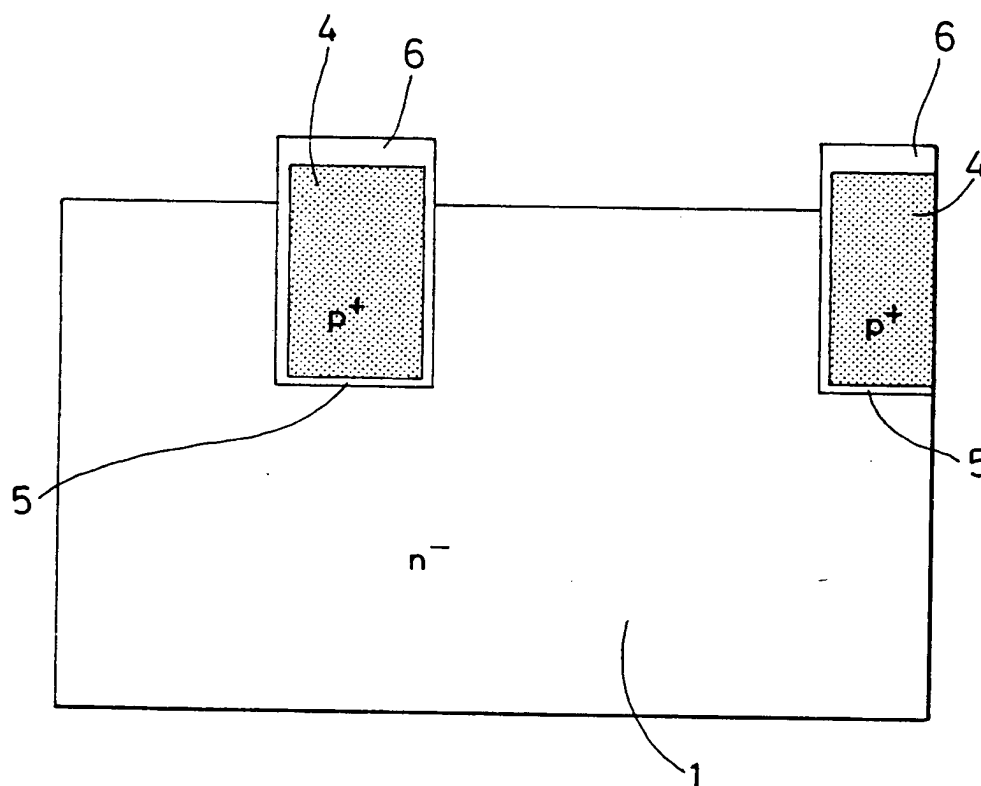


FIG. 8D

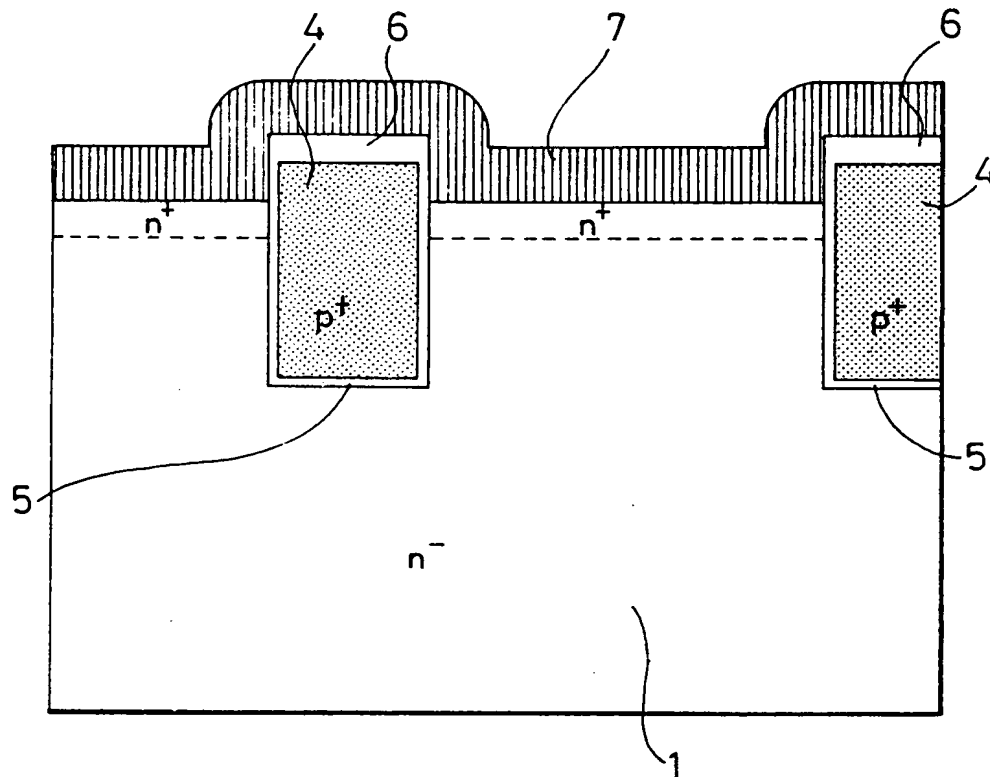


FIG. 8E

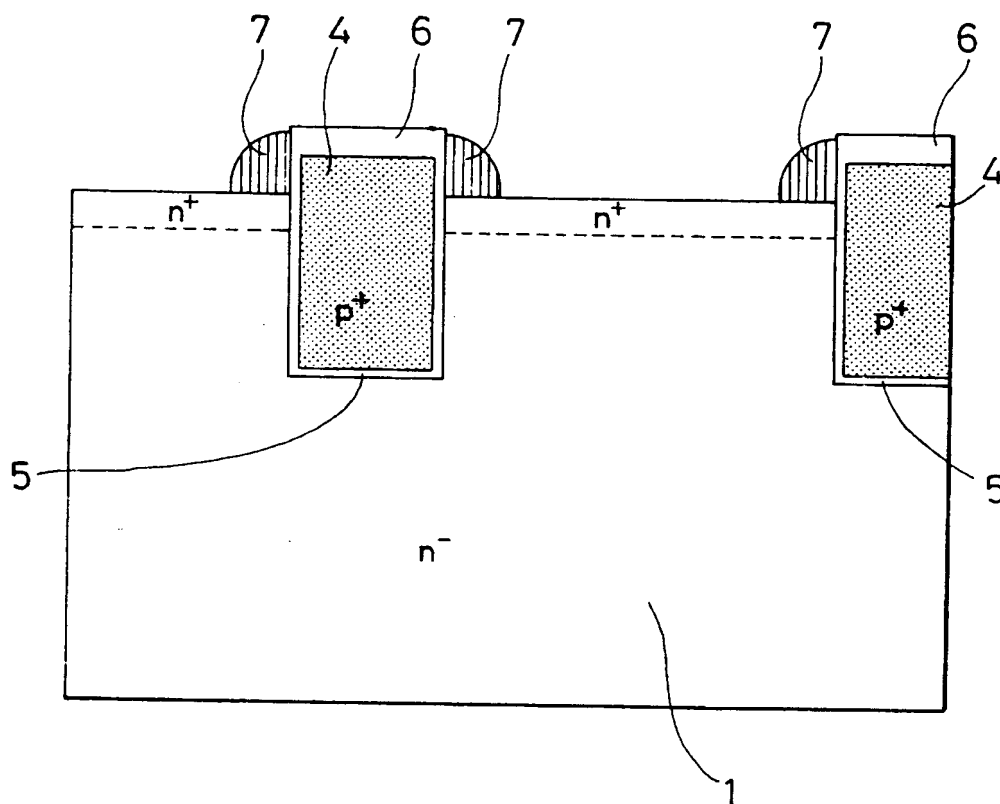


FIG. 8F

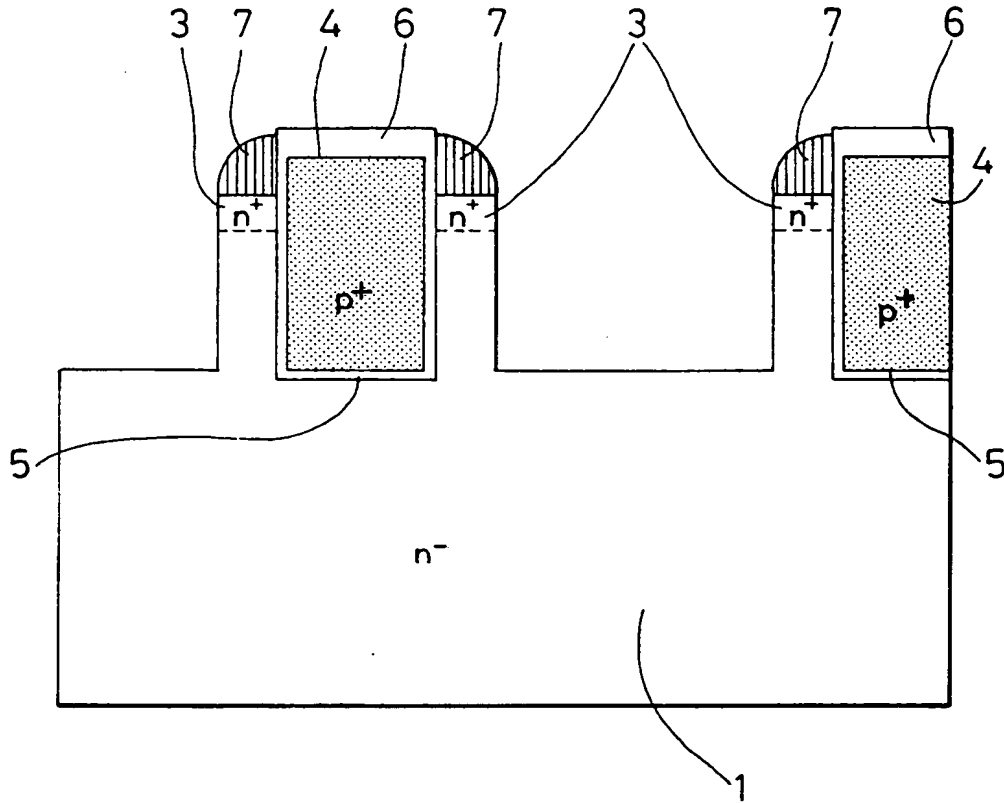


FIG. 9

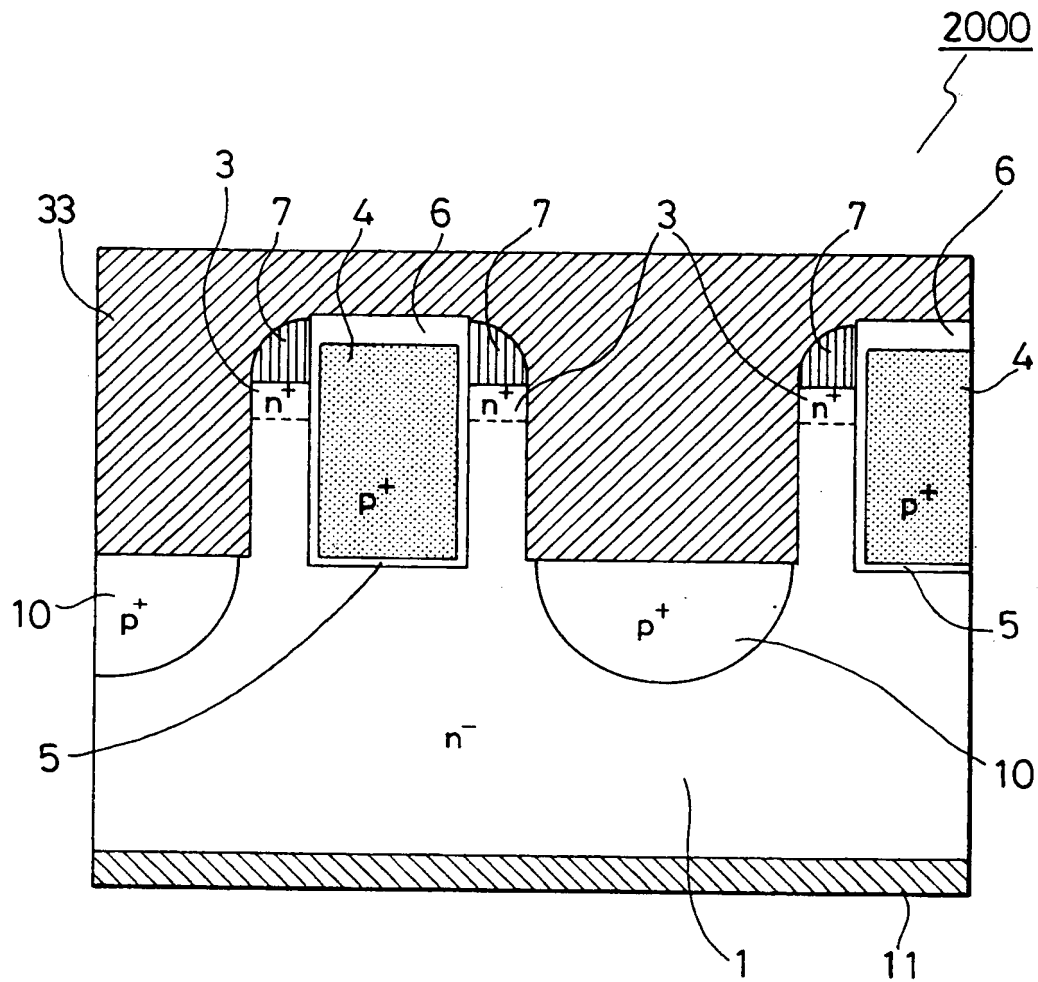


FIG. 10A

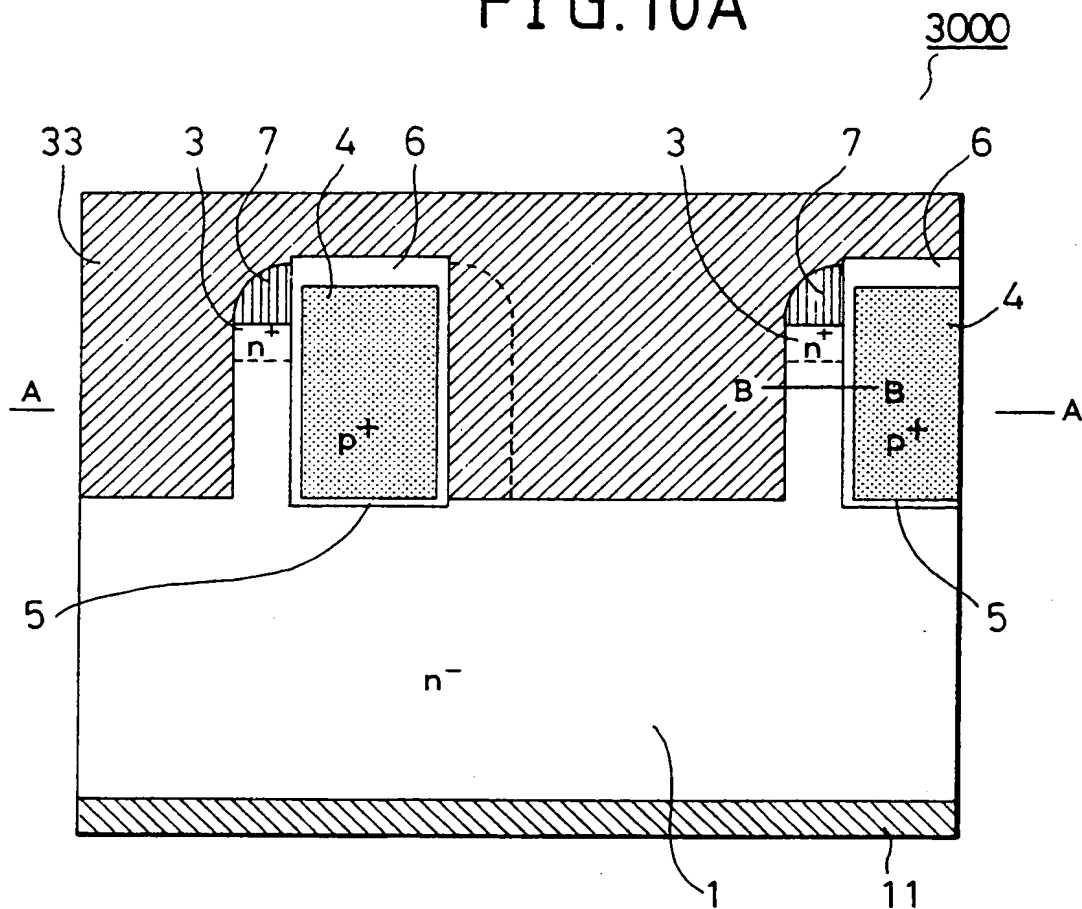


FIG. 10B

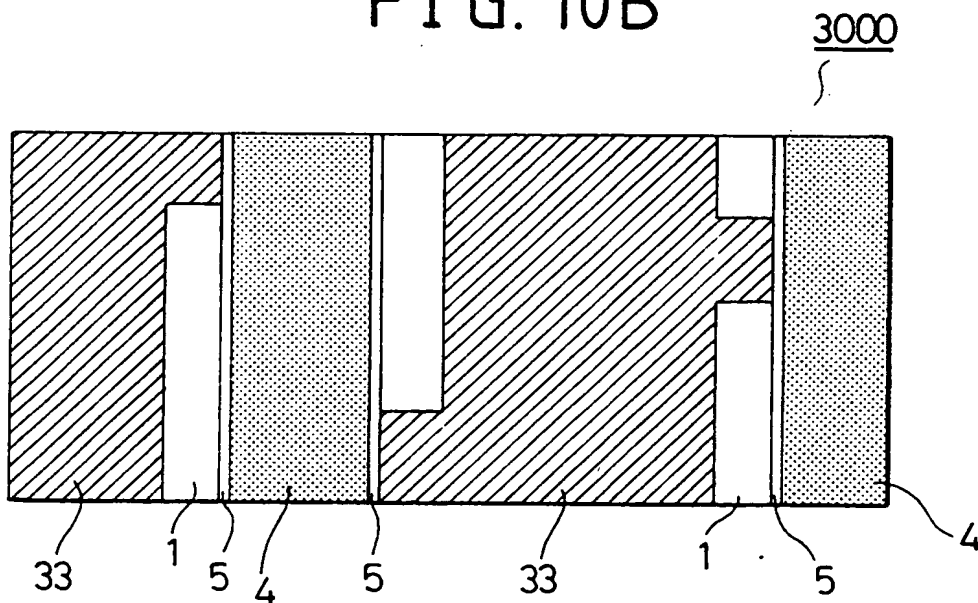


FIG. 10C

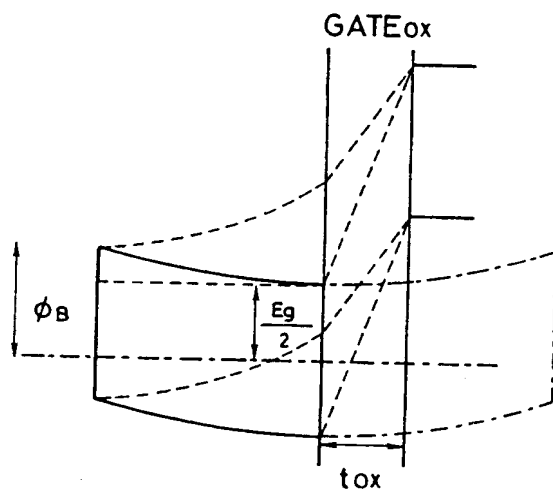


FIG. 10D

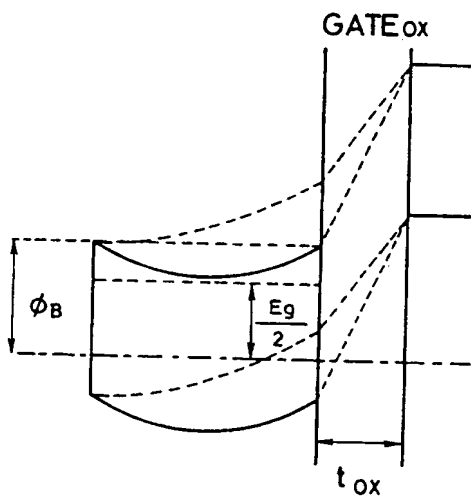


FIG. 11A

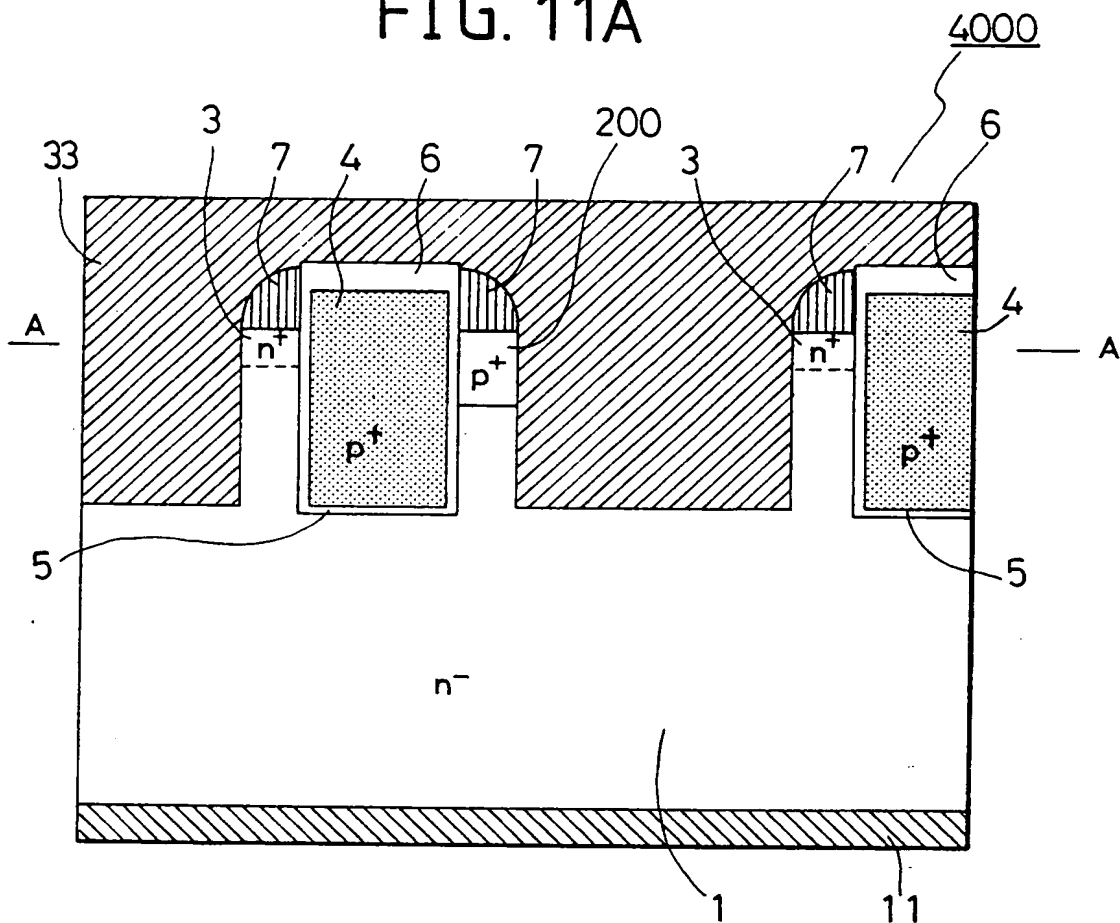


FIG. 11B

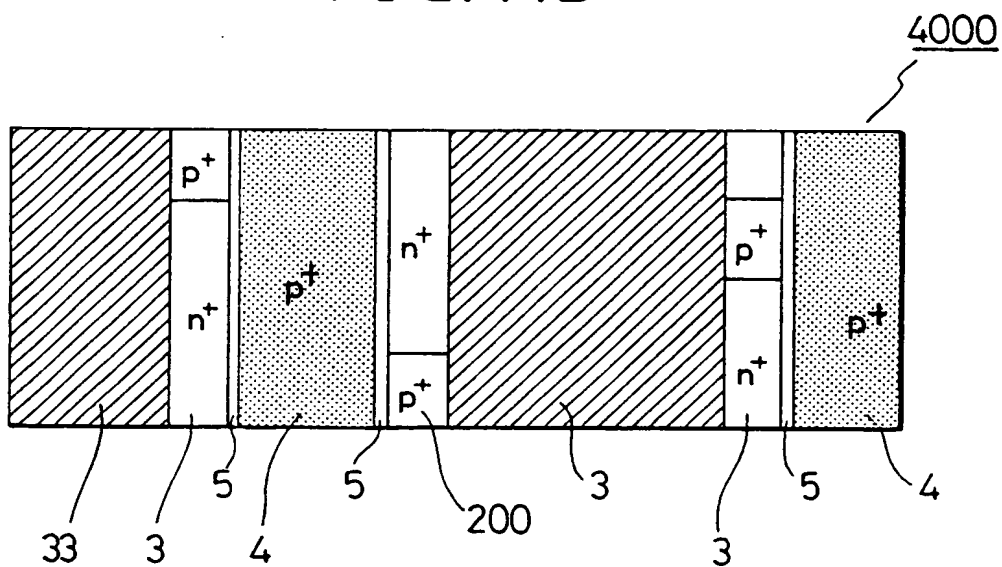


FIG. 11C

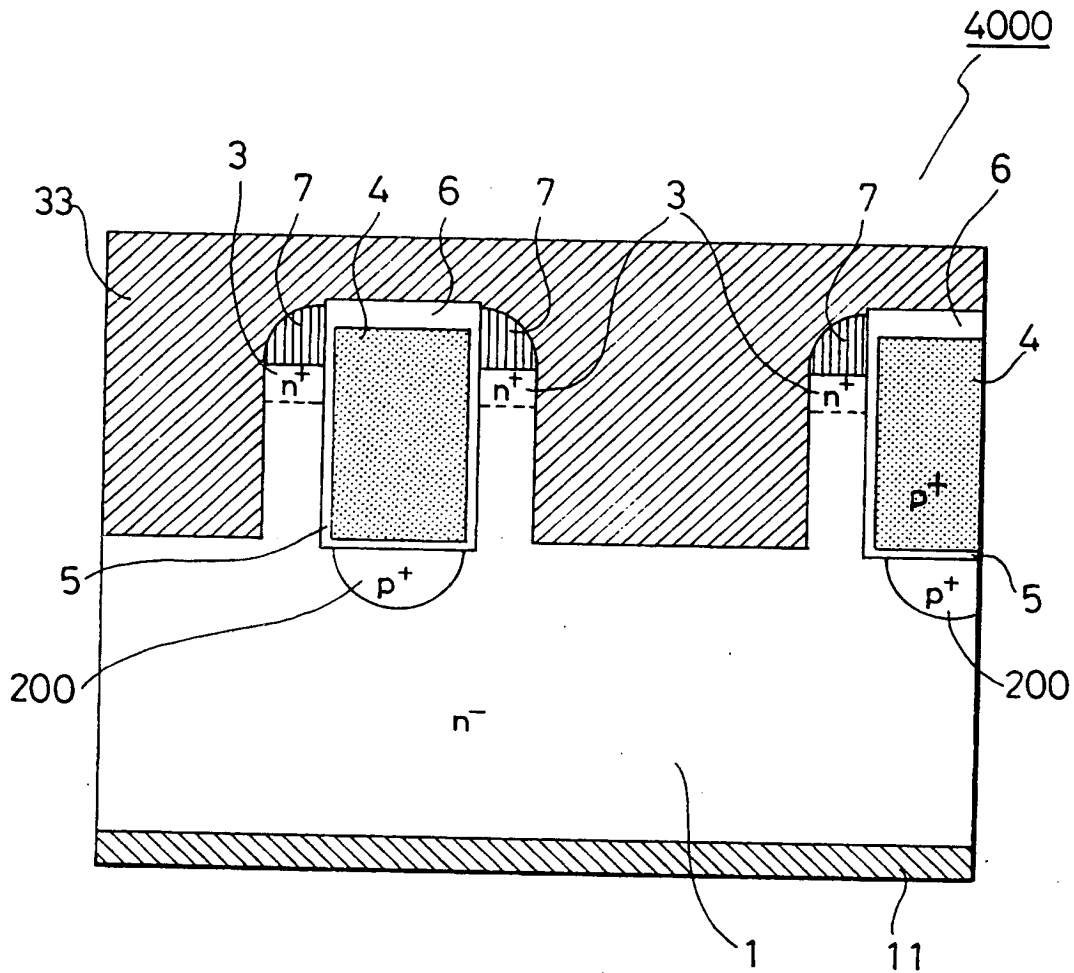


FIG. 11D

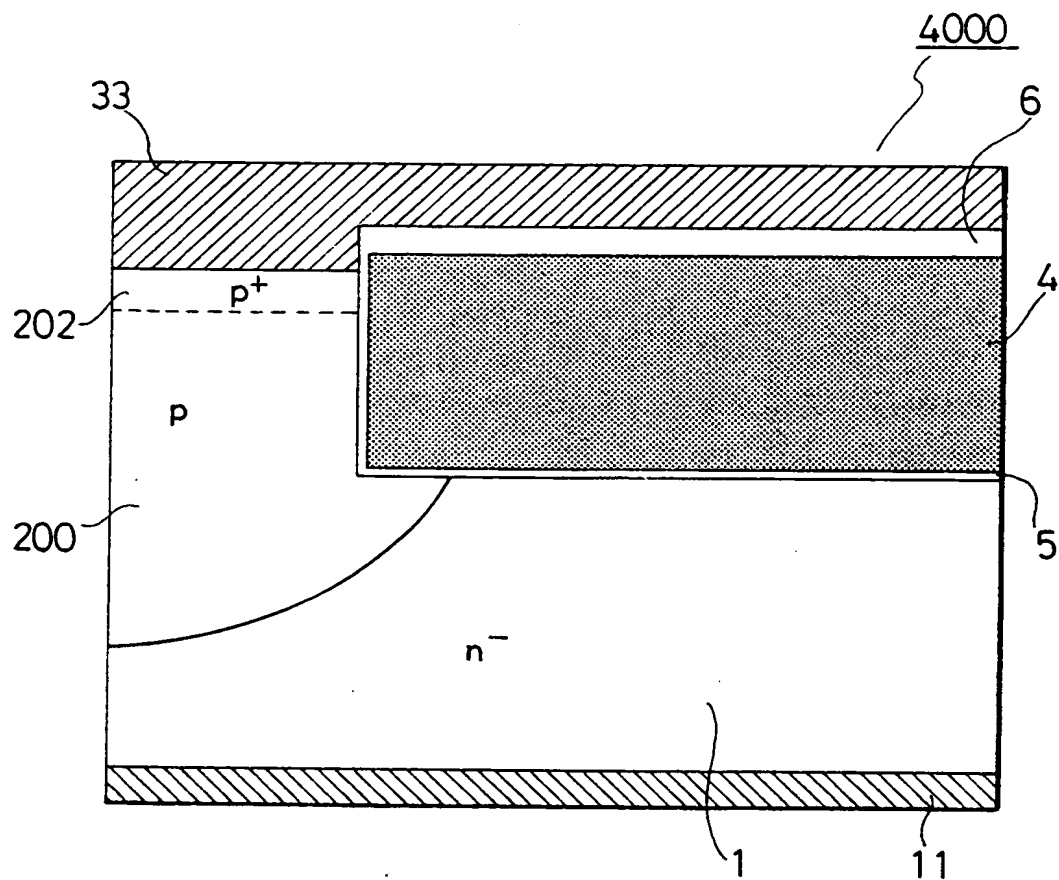
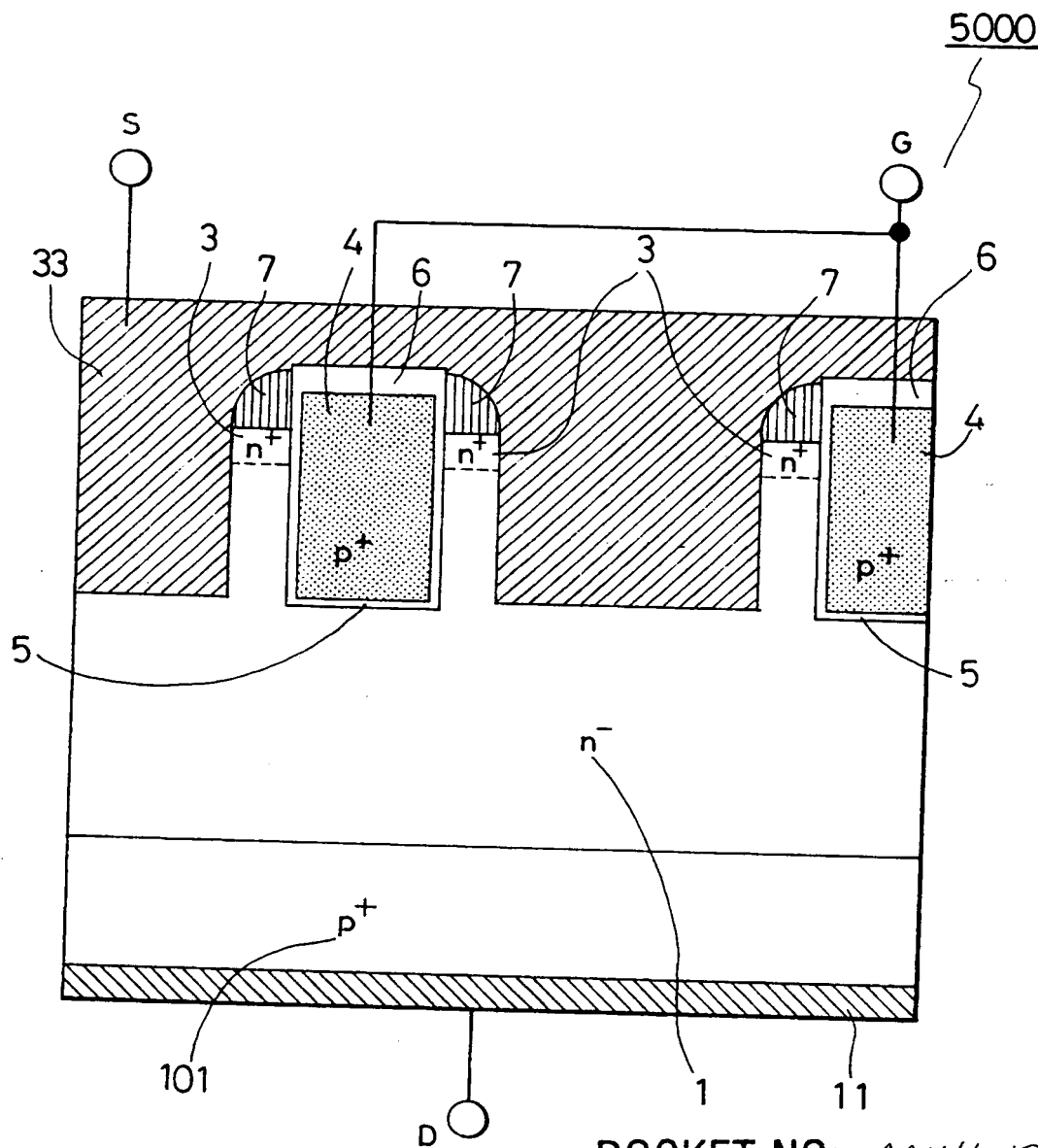


FIG. 12



DOCKET NO: MUH-12808

SERIAL NO: 10/673,966

APPLICANT: Henninger et al

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)